

Bipolar transistor comprises used for high frequency operations a silicon layer, a silicon epitaxial layer of first type, a silicon-germanium epitaxial layer and a silicon epitaxial layer of second type

Patent number: DE10060584

Publication date: 2001-07-19

Inventor: IKEDA TATSUHIKO (JP)

Applicant: MITSUBISHI ELECTRIC CORP (JP)

Classification:


- international: H01L29/73; H01L21/331

- european: H01L29/737B8, H01L21/331B

Application number: DE20001060584 20001206

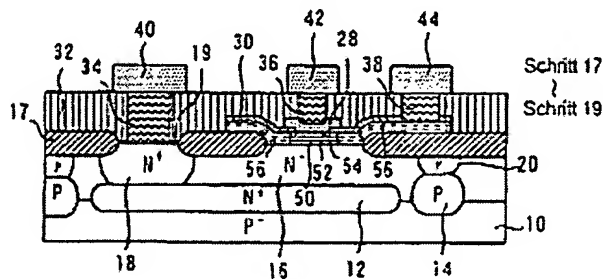
Priority number(s): JP20000002429 20000111; JP20000182809 20000619

Also published as:

 US6563147 (B1)

Abstract of DE10060584

Ge content in the SiGe epitaxial layer in the boundary region between the SiGe epitaxial layer of the second type and the silicon epitaxial layer of the first type is higher than in the boundary region between the SiGe epitaxial layer of the second type and the silicon epitaxial layer of the second type. Bipolar transistor comprises a silicon layer of a first type formed on the surface of a silicon substrate and containing impurity sites of a first conductivity type; a silicon epitaxial layer of the first type formed on the silicon layer and containing impurity sites of the first conductivity type; a SiGe epitaxial layer of a second conductivity type with a first concentration formed on the silicon epitaxial layer and containing impurity sites of a second conductivity; and a silicon epitaxial layer of the second type formed on the SiGe epitaxial layer and containing impurity sites of second conductivity with a second concentration which is lower than the first concentration. An Independent claim is also included for a process for the production of the bipolar transistor.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

E3



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 60 584 A 1**

⑤1 Int. Cl.⁷:
H 01 L 29/73
H 01 L 21/331

②1 Aktenzeichen: 100 60 584.2
②2 Anmeldetag: 6. 12. 2000
④3 Offenlegungstag: 19. 7. 2001

DE 100 60 584 A 1

③0 Unionspriorität:
00 002429 11. 01. 2000 JP
00 182809 19. 06. 2000 JP

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦4 Vertreter:
Prüfer und Kollegen, 81545 München

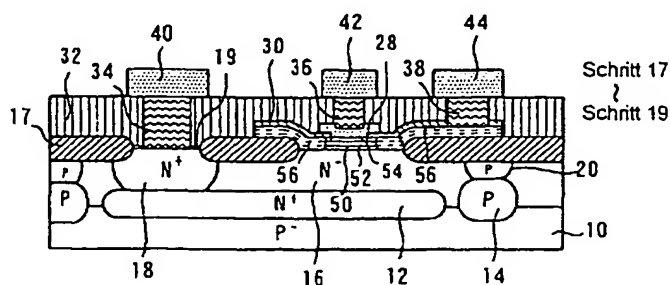
⑦2 Erfinder:
Ikeda, Tatsuhiko, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Bipolartransistor und Verfahren zu seiner Herstellung

⑤7 Die Erfindung betrifft ein Verfahren zur Herstellung eines für den Hochfrequenzbetrieb geeigneten Heteroübergangs-Bipolartransistors (HBT). In dem Verfahren werden auf einem Halbleitersubstrat (10) eine erste leitende Schicht (58, 60, 62) und eine erste Isolierschicht (30; 140) ausgebildet, die sich überlappen. Auf der ersten Isolierschicht (30; 140) wird eine erste Maske (114, 116; 142; 146, 148; 150) strukturiert. In die erste Isolierschicht (30; 140) werden unter Verwendung der ersten Maske (114, 116; 142; 146, 148; 150) Störstellen eines ersten Leitfähigkeitstyps implantiert. Die erste Maske (114, 116; 142; 146, 148; 150) wird vor Ausbilden einer zweiten Maske (120) in der Weise verkleinert, daß sie die gesamte Oberfläche der ersten Isolierschicht (30; 140) mit Ausnahme einer von der verkleinerten ersten Maske (114A, 116A; 142A; 146A, 148A; 150A) bedeckten Fläche bedeckt. Nach Entfernen der ersten Maske (114, 116; 142; 146, 148; 150) wird durch Entfernen der mit der verkleinerten ersten Maske (114A, 116A; 142A; 146A, 148A; 150A) beschichteten Fläche in der ersten Isolierschicht (30; 140) eine Öffnung (122) ausgebildet. In einen freiliegenden Teil der ersten leitenden Schicht (58, 60, 62) in der Öffnung (122) werden Störstellen eines zweiten Leitfähigkeitstyps eingeführt.



DE 100 60 584 A 1

Beschreibung

Die Erfindung betrifft das Gebiet der Bipolartransistoren und der Verfahren zu ihrer Herstellung und insbesondere einen für den Hochfrequenzbetrieb geeigneten Bipolartransistor und ein Verfahren zu seiner Herstellung.

Fig. 13 ist eine Querschnittsansicht eines herkömmlichen Bipolartransistors, der in der Weise hergestellt worden ist, daß er bei einer gegebenen Hochfrequenz arbeiten kann. Der in Fig. 13 gezeigte Bipolartransistor ist mit einem aus einem p-Halbleiter hergestellten Siliciumsubstrat 10 versehen. In dem Siliciumsubstrat 10 sind eine aus einem n⁺-Halbleiter hergestellte n⁺-Diffusionsschicht 12 und eine aus einem p-Halbleiter hergestellte p-Diffusionsschicht 14 ausgebildet. Ferner ist auf die n⁺-Diffusionsschicht 12 und auf die p-Diffusionsschicht 14 eine aus einem n-Halbleiter hergestellte n-Siliciumschicht 16 gelegt. Auf der Oberfläche der n-Siliciumschicht 16 ist ein Feldoxidfilm 17 gelegt, der einzelne aktive Gebiete des Transis. In der n-Siliciumschicht 16 sind eine n⁺-Kollektoranschlußschicht 18 aus einem n⁺-Halbleiter und eine p-Elementisoliations-Diffusionsschicht 20 aus einem p-Halbleiter ausgebildet. In den nicht mit dem Feldoxidfilm 17 bedeckten Flächen der n-Siliciumschicht 16 ist die n⁺-Kollektoranschlußschicht 18 ausgebildet, deren Oberfläche mit einem dünnen Oxidfilm 19 bedeckt ist. Auf der p-Diffusionsschicht 14 ist die p-Elementisoliations-Diffusionsschicht 20 ausgebildet.

In einem aktiven Gebiet der n-Siliciumschicht 16 eine aus einem p-Halbleiter hergestellte Basis-Diffusionsschicht 22 ausgebildet. In der Umgebung der Mitte der Basis-Diffusionsschicht 22 ist eine aus einem n-Halbleiter hergestellte Emitter-Diffusionsschicht 24 ausgebildet. Auf der Basis-Diffusionsschicht 22 ist eine Basis-Anschlußelektrode 26 aus dotiertem Polysilicium in der Weise ausgebildet, daß sie mit der Emitter-Diffusionsschicht 24 nicht leitend verbunden ist. Auf der Emitter-Diffusionsschicht 24 ist eine Emitter-Elektrode 28 aus dotiertem Polysilicium ausgebildet. Zwischen der Basis-Anschlußelektrode 26 und der Emitter-Elektrode 28 liegt ein Oxidfilm 30, der diese voneinander isoliert.

Die gesamte Oberfläche des Bipolartransistors ist mit einem Isolierfilm 32 beschichtet. In dem Isolierfilm 32 sind ein mit der n⁺-Kollektor-Anschlußschicht 18 verbundenes Kontaktloch, ein mit der Emitterelektrode 28 verbundenes Kontaktloch und ein mit der Basis-Anschlußelektrode 26 verbundenes Kontaktloch ausgebildet. Mit der n⁺-Kollektor-Anschlußschicht 18 ist über einen in dem entsprechenden Kontaktloch ausgebildeten Stopfen 34 eine Metallzwischenverbindung 40 verbunden; mit der Emitter-Elektrode 28 ist über einen in dem entsprechenden Kontaktloch ausgebildeten Stopfen 36 eine Metallzwischenverbindung 42 verbunden; und mit der Basis-Anschlußelektrode 26 ist über einen in dem entsprechenden Kontaktloch ausgebildeten Stopfen 38 eine Metallzwischenverbindung 44 verbunden.

Damit der Bipolartransistor bei Hochfrequenz arbeitet, ist es besser, die Basis-Kollektor-Kapazität niedrig zu machen. Wenn die Grenzfläche zwischen der Basis-Diffusionsschicht 22 und der n-Siliciumschicht 16 größer wird, wird die parasitäre Kapazität größer. Damit der Transistor bei Hochfrequenz arbeiten kann, ist es dementsprechend wünschenswert, die Grenzfläche klein zu machen.

Die in Fig. 13 gezeigte Struktur wird auch eine selbstjustierende Doppelpolysiliciumstruktur genannt. Die selbstjustierende Doppelpolysiliciumstruktur umfaßt die Basis-Anschlußelektrode 26 sowie die selbstjustierend in der Basis-Anschlußelektrode 26 ausgebildete Emitter-Elektrode 28. Diese Struktur bringt die Emitter-Elektrode 28 und die Basis-Anschlußelektrode 26 in sehr enge Nachbarschaft zuein-

ander, während sie das Auftreten eines Kurzschlusses zwischen ihnen verhindert. Die in Fig. 13 gezeigte Struktur macht die Grenzfläche zwischen der Basis-Diffusionsschicht 22 und der n-Siliciumschicht 16 ausreichend klein, wodurch die parasitäre Basis-Kollektor-Kapazität verringert wird.

Ferner macht die in Fig. 13 gezeigte Struktur einen Abstand zwischen der Emitter-Diffusionsschicht 24 und der Basis-Anschlußelektrode 26 ausreichend klein, wodurch der Widerstand des Basis-Gebiets ausreichend verringert wird. Wie bereits erwähnt wurde, ist die in Fig. 13 gezeigte Struktur ausreichend, damit der Bipolartransistor bei Hochfrequenz arbeiten kann.

Es wird jedoch davon ausgegangen, daß der Grenzwert der Abschneidefrequenz, die mit der in Fig. 13 gezeigten Struktur erreicht werden kann, im Bereich von 30 bis 40 GHz liegt. Die in Fig. 13 gezeigte Struktur ermöglicht keine Realisierung eines Transistors mit einer wesentlich höheren Hochfrequenzcharakteristik.

Wenn die Zeit, die die Ladungsträger benötigen, um durch das Basis-Gebiet zu laufen, durch Verringern der Breite des Basis-Gebiets (d. h. durch Verringern der Dicke der in Fig. 13 gezeigten Basis-Diffusionsschicht 24) verkürzt wird, bewirkt dies eine steigende Betriebsgeschwindigkeit des Bipolartransistors. Wenn die Breite des Basis-Gebiets verringert wird, wird aber das Entstehen eines Durchgriffs in dem Transistor wahrscheinlicher.

Das Erhöhen des Störstellengehalts einer Basis-Diffusionsschicht macht das Entstehen eines Durchbruchs in einem Bipolartransistor unwahrscheinlicher. Allerdings fällt die Stromverstärkung des Bipolartransistors, wenn der Störstellengehalt der Basis-Diffusionsschicht hoch wird. Aus diesem Grund kann ein praktischer Bipolartransistor nicht einfach durch einfaches Erhöhen des Störstellengehalts der Basis-Diffusionsschicht realisiert werden.

Als Technik zum Lösen des obenbeschriebenen Nachteils des herkömmlichen Bipolartransistors ist bereits eine Technologie zur Herstellung von Bipolartransistoren durch die Verwendung einer Heteroverbindung bekannt. Ein solcher Heteroverbindungs-Bipolartransistor (HBT) ist z. B. in IEEE TRANSACTIONS ON ELECTRON DEVICES, Bd. 42, Nr. 3 (1995), S. 455-482 beschrieben. Sämtliche bereits vorgeschlagenen HBTs erfordern jedoch sehr komplizierte Herstellungsprozesse und sind für die Massenproduktion ungeeignet.

Der Erfindung liegt daher die Aufgabe zugrunde, einen Bipolartransistor, der durch einfache Prozesse leicht hergestellt werden kann, sowie ein Verfahren zu seiner Herstellung zu schaffen, so daß der Bipolartransistor die oben erwähnten Nachteile nicht besitzt.

Diese Aufgabe wird erfindungsgemäß gelöst durch einen Bipolartransistor nach Anspruch 1 bzw. durch ein Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 6 oder nach Anspruch 12. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem Merkmal der Erfindung wird ein Verfahren zur leichten und genauen Herstellung einer Basis-Anschlußelektrode und einer Emitter-Diffusionsschicht mit der Selbstjustierungstechnik geschaffen.

Gemäß einem weiteren Merkmal der Erfindung wird ein HBT geschaffen, der leicht durch einfache Prozesse hergestellt werden kann, und der die oben erwähnten Nachteile somit nicht besitzt.

Gemäß einem nochmals weiteren Merkmal der Erfindung wird ein Verfahren geschaffen, das eine einfache Herstellung eines HBTs ermöglicht.

Die obengenannten Aufgaben der Erfindung werden durch einen untenbeschriebenen Bipolartransistor gelöst.

Der Transistor enthält eine Siliciumschicht eines ersten Typs, die in der Weise auf der Oberfläche eines Siliciumsubstrats vorgesehen ist, daß sie Störstellen eines ersten Leitfähigkeitstyps enthält. Auf der Siliciumschicht des ersten Typs ist eine Epitaxieschicht des ersten Typs in der Weise vorgesehen, daß sie Störstellen des ersten Leitfähigkeitstyps enthält. Auf der Siliciumepitaxieschicht des ersten Typs ist eine SiGe-Epitaxieschicht eines zweiten Typs, die Störstellen eines zweiten Leitfähigkeitstyps mit einer ersten Konzentration enthält, in der Weise vorgesehen, daß sie Germanium mit einem vorgegebenen Konzentrationsprofil enthält. Auf der SiGe-Epitaxieschicht des zweiten Typs ist eine Siliciumepitaxieschicht des zweiten Typs in der Weise vorgesehen, daß sie Störstellen des zweiten Leitfähigkeitstyps mit einer zweiten Konzentration enthält, die niedriger als die erste Konzentration ist. Der Germaniumgehalt in der SiGe-Epitaxieschicht des zweiten Typs ist in der Umgebung eines Grenzgebiets zwischen der SiGe-Epitaxieschicht des zweiten Typs und der Siliciumepitaxieschicht des ersten Typs höher als in einem Grenzgebiet zwischen der SiGe-Epitaxieschicht des zweiten Typs und der Siliciumepitaxieschicht des zweiten Typs.

Die obengenannten Aufgaben der Erfindung werden mit einem untenbeschriebenen Verfahren zur Herstellung von Bipolartransistoren gelöst. In dem Herstellungsverfahren wird auf der Oberfläche eines Siliciumsubstrats eine Siliciumschicht des ersten Typs ausgebildet, die Störstellen des ersten Leitfähigkeitstyps enthält. Auf der Siliciumschicht des ersten Typs wird eine Siliciumepitaxieschicht des ersten Typs in der Weise ausgebildet, daß sie Störstellen des ersten Leitfähigkeitstyps enthält. Auf der Siliciumepitaxieschicht vom ersten Typ wird eine SiGe-Epitaxieschicht eines zweiten Typs in der Weise ausgebildet, daß sie Störstellen eines zweiten Leitfähigkeitstyps mit einer ersten Konzentration und Germanium mit einem vorgegebenen Konzentrationsprofil enthält. Auf der SiGe-Epitaxieschicht des zweiten Typs wird eine Siliciumepitaxieschicht des zweiten Typs in der Weise ausgebildet, daß sie Störstellen des zweiten Leitfähigkeitstyps mit einer zweiten Konzentration enthält, die niedriger als die erste Konzentration ist. In der Umgebung eines Grenzgebiets zwischen der SiGe-Epitaxieschicht des zweiten Typs und der Siliciumepitaxieschicht des ersten Typs ist der Germaniumgehalt der SiGe-Epitaxieschicht des zweiten Typs höher als in einem Grenzgebiet zwischen der Siliciumepitaxieschicht des zweiten Typs und der SiGe-Epitaxieschicht des zweiten Typs. Auf der Siliciumepitaxieschicht des zweiten Typs wird ein Oxidfilm in der Weise ausgebildet, daß er an vorgegebenen Stellen eine Öffnung besitzt. Aus polykristallinem oder amorphem Silicium wird eine Emittierelektrode, die Störstellen des ersten Leitfähigkeitstyps enthält, in der Weise ausgebildet, daß sie über die Öffnung mit der Siliciumepitaxieschicht des zweiten Typs in Kontakt steht. In die Teile der Dreischichtepitaxieschichten, die nicht mit der Emittierelektrode bedeckt sind, werden Störstellen des zweiten Leitfähigkeitstyps implantiert. Die Dreischichtepitaxieschichten werden in Form von Basis-Anschlußelektroden strukturiert. Ein Wafer wird einer Wärmebehandlung ausgesetzt. Im Ergebnis diffundieren die in der Emittierelektrode enthaltenen Störstellen des ersten Leitfähigkeitstyps in die Siliciumepitaxieschicht des zweiten Typs, wodurch eine Emitterschicht ausgebildet wird, die an einen Halbleiter des ersten Leitfähigkeitstyps angepaßt ist. Ferner werden im Ergebnis der Wärmebehandlung die in die Dreischichtepitaxieschichten implantierten Störstellen des zweiten Leitfähigkeitstyps aktiviert, wodurch die Basis-Anschlußelektroden ausgebildet werden.

Die obengenannten Aufgaben der Erfindung werden durch ein untenbeschriebenes Verfahren zur Herstellung von

Bipolartransistoren gelöst. In dem Verfahren werden auf einem Halbleitersubstrat eine erste leitende Schicht und eine erste Isolierschicht ausgebildet, die sich überlappen. Auf der ersten Isolierschicht wird eine erste Maske strukturiert. In die Siliciumschicht des zweiten Typs, in die SiGe-Schicht des zweiten Typs und in die Siliciumschicht des ersten Typs werden über die erste leitende Schicht unter Verwendung der ersten Maske Störstellen eines ersten Leitfähigkeitstyps implantiert. Die erste Maske wird verkleinert. Eine zweite Maske wird in der Weise ausgebildet, daß sie die gesamte Oberfläche der ersten Isolierschicht mit Ausnahme einer von der verkleinerten ersten Maske bedeckten Fläche bedeckt. Die erste Maske wird entfernt. Durch Entfernen der mit der ersten Maske beschichteten Fläche wird in der ersten Isolierschicht eine Öffnung ausgebildet. In einen freiliegenden Teil der zweiten leitenden Schicht in der Öffnung werden Störstellen des ersten Leitfähigkeitstyps eingeführt.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsformen der Erfindung anhand der Figuren. Von den Figuren zeigen:

Fig. 1A-1D, 2A-2D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines IGBTs gemäß einer ersten Ausführungsform der Erfindung;

Fig. 3 ein Profil über die Konzentration der Störstellen und des Ge, die gemäß der ersten Ausführungsform der Erfindung in die drei in dem IGBT enthaltenen Epitaxieschichten integriert werden;

Fig. 4A-4D, 5A-5B Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines IGBTs gemäß einer zweiten Ausführungsform der Erfindung;

Fig. 6A-6D, 7 Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines IGBTs gemäß einer dritten Ausführungsform der Erfindung;

Fig. 8A-8D, 9A-9D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines IGBTs gemäß einer vierten Ausführungsform der Erfindung;

Fig. 10A-10C Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines IGBTs gemäß einer fünften Ausführungsform der Erfindung;

Fig. 11A, 11B Profile über der Konzentration der Störstellen und des Ge, die gemäß einer sechsten Ausführungsform der Erfindung in die drei in dem IGBT enthaltenen Epitaxieschichten integriert werden;

Fig. 12A-12C Profile über der Konzentration der Störstellen und des Ge, die gemäß einer siebenten Ausführungsform der Erfindung in die drei in dem IGBT enthaltenen Epitaxieschichten integriert werden;

Fig. 13 die bereits erwähnte Querschnittsansicht eines herkömmlichen Transistors, der in der Weise hergestellt wurde, daß er bei einer gegebenen Hochfrequenz arbeiten kann;

Fig. 14A-15 Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolartransistoren gemäß einem Vergleichsbeispiel;

Fig. 16A-18D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolartransistoren gemäß einer achten Ausführungsform der Erfindung;

Fig. 19A-20D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolartransistoren gemäß einer neunten Ausführungsform der Erfindung;

Fig. 21A-21D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolartransistoren gemäß einer zehnten Ausführungsform der Erfindung;

Fig. 22A-22D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolartransistoren gemäß einer elften Ausführungsform der Erfindung; und

Fig. 23A-23D Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolartransistoren

gemäß einer zwölften Ausführungsform der Erfindung.

Im folgenden werden anhand der beigefügten Zeichnung Prinzipien und Ausführungsformen der Erfindung beschrieben. Diejenigen Teile und Schritte, die in einigen der Figuren gemeinsam sind, erhalten die gleichen Bezugszeichen, und redundante Beschreibungen für sie können weggelassen werden.

Erste Ausführungsform

Die Fig. 1A bis 2D sind Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines IIBT's gemäß einer ersten Ausführungsform der Erfindung. Insbesondere zeigt Fig. 2D eine charakteristische Struktur des IIBT's der ersten Ausführungsform.

Wie in Fig. 2D gezeigt ist, ist der IIBT der vorliegenden Ausführungsform mit einem Siliciumsubstrat 10 versehen, das auf einen p-Halbleiter eingestellt ist. In dem Siliciumsubstrat 10 sind eine aus einem n-Halbleiter hergestellte n⁺-Diffusionsschicht 12 und eine aus einem p-Halbleiter hergestellte p-Diffusionsschicht 14 ausgebildet. Ferner ist auf die n⁺-Diffusionsschicht 12 und auf die p-Diffusionsschicht 14 eine auf einen n-Halbleiter eingestellte n-Siliciumschicht 16 gelegt. Auf die Oberfläche der n-Siliciumschicht 16 ist ein Feldoxidfilm 17 gelegt, der die einzelnen aktiven Gebiete des Transistors voneinander trennt.

In der n-Siliciumschicht 16 sind eine aus einem n-Halbleiter hergestellte n⁺-Kollektor-Anschlußschicht 18 und eine aus einem p-Halbleiter hergestellte p-Elementisoliations-Diffusionsschicht 20 ausgebildet. In den nicht mit dem Feldoxidfilm 17 bedeckten Bereichen der n-Siliciumschicht 16 ist die n⁺-Kollektor-Anschlußschicht 18 ausgebildet, deren Oberfläche mit einem dünnen Oxidfilm 19 bedeckt ist. Auf der p-Diffusionsschicht 14 ist die p-Elementisoliations-Diffusionsschicht 20 ausgebildet.

Durch ein epitaktisches Wachstumsverfahren sind in dem aktiven Gebiet der n-Siliciumschicht 16 eine Sub-Kollektor-Schicht 50, eine Basis-Schicht 52 und eine Emitter-Schicht 54 ausgebildet. Die Sub-Kollektor-Schicht 50 und die Emitter-Schicht 54 entsprechen einem n-Halbleiter, während die Basis-Schicht 52 einem auf einen p-Halbleiter eingestellten SiGe-Film entspricht.

Auf der n-Siliciumschicht 16 ist um die Basis-Schicht 52 die aus einem p-Halbleiter hergestellte Basis-Anschlußelektrode 56 ausgebildet. Ferner ist auf der Emitter-Schicht 54 eine Emitter-Elektrode 28 aus dotiertem Polysilicium ausgebildet. Zwischen der Basis-Anschlußelektrode 56 und der Emitter-Elektrode 28 liegt ein Oxidfilm 30, der beide gegeneinander isoliert.

Die gesamte Oberfläche des IIBT's ist mit einem Isolierfilm 32 bedeckt. In dem Isolierfilm 32 sind ein zu der n⁺-Kollektor-Anschlußschicht 18 geöffnetes Kontaktloch, ein zu der Emitter-Elektrode 28 geöffnetes Kontaktloch und ein zu der Basis-Anschlußelektrode 56 geöffnetes Kontaktloch ausgebildet. Über einen in dem entsprechenden Kontaktloch ausgebildeten Stopfen 34 ist eine Metallzwischenverbindung 40 mit der n⁺-Kollektor-Anschlußschicht 18 verbunden; über einen in dem entsprechenden Kontaktloch ausgebildeten Stopfen 36 ist eine Metallzwischenverbindung 42 mit der Emitter-Elektrode 28 verbunden; und über einen in dem entsprechenden Kontaktloch ausgebildeten Stopfen 38 ist eine Metallzwischenverbindung 44 mit der Basis-Anschlußelektrode 56 verbunden.

Nachfolgend wird ein Verfahren zur Herstellung des IIBT's der ersten Ausführungsform beschrieben.

In dem IIBT-Herstellungsverfahren gemäß der vorliegenden Ausführungsform wird der IIBT bis zu einem bestimmten in Fig. 1A gezeigten Zustand mit einer bekannten Tech-

nik hergestellt.

Zunächst werden auf dem (auf einen p-Halbleiter eingestellten) Siliciumsubstrat 10 die n⁺-Diffusionsschicht 12 und die p-Diffusionsschicht 14 ausgebildet (Schritt 1).

Auf dem Siliciumsubstrat 10, auf der n⁺-Diffusionsschicht 12 und auf der p-Diffusionsschicht 14 wird die n-Siliciumschicht 16 ausgebildet (Schritt 2).

Nach Ausbilden des Feldoxidfilms 17 werden die n⁺-Kollektor-Anschlußschicht 18 und die p-Elementisoliations-Diffusionsschicht 20 ausgebildet (Schritt 3).

Auf den freiliegenden Siliciumflächen wird ein Oxidfilm 19 mit einer vorgegebenen Dicke ausgebildet. Der Oxidfilm 19 wird von der Oberfläche eines Wafers mit Ausnahme der über der n⁺-Kollektor-Anschlußschicht 18 liegenden Fläche entfernt; genauer wird der Oxidfilm 19 entfernt, der die Flächen bedeckt, auf denen die Basis-Schicht 52 und die Basis-Anschlußelektroden 56 ausgebildet werden sollen (Schritt 4).

Wie in Fig. 1B gezeigt ist, werden über der gesamten Oberfläche des Wafers aufeinanderfolgend eine Siliciumepitaxieschicht 58, eine SiGe-Epitaxieschicht 60 und eine Siliciumepitaxieschicht 62 ausgebildet (Schritt 5). Gleichzeitig werden über dem Feldoxidfilm 17 ein Siliciumfilm und ein SiGe-Film als polykristalliner Film ausgebildet.

Die Siliciumepitaxieschicht 58 soll zu einem Kollektor-Gebiet des IIBT's werden; die SiGe-Epitaxieschicht 60 soll zu einem Basis-Gebiet des IIBT's werden; und die Siliciumepitaxieschicht 62 soll zu einem Emitter-Gebiet werden.

Fig. 3 zeigt ein Profil über die Konzentration der in die drei Epitaxieschichten 58, 60 und 62 integrierten Störstellen und des in diese Schichten integrierten Ge. Wie in Fig. 3 gezeigt ist, ist die Siliciumepitaxieschicht 58, die zu einem Kollektor-Gebiet werden soll, in der vorliegenden Ausführungsform mit P (Phosphor) mit einer Konzentration von ca. $4 \times 10^{15} \text{ cm}^{-3}$ dotiert. Ferner ist die SiGe-Epitaxieschicht 60, die zu einem Basis-Gebiet werden soll, mit B (Bor) mit einer Konzentration von ca. 1×10^{18} bis 10^{19} cm^{-3} dotiert, während die Siliciumepitaxieschicht 62, die zu einem Emitter-Gebiet werden soll, mit B mit einer Konzentration von ca. $5 \times 10^{17} \text{ cm}^{-3}$ dotiert ist. Der Ge-Gehalt der SiGe-Epitaxieschicht 60 erreicht in dem Grenzgebiet zwischen der SiGe-Epitaxieschicht 60 und der Siliciumepitaxieschicht 58 ein Maximum von 4 bis 30%. Der Ge-Gehalt wird in der Weise gesteuert, daß ein Profil erreicht wird, das von der Seite des Kollektorgebiets zu der Seite des Emittergebiets allmählich fällt.

Wie in Fig. 1C gezeigt ist, wird auf der Siliciumepitaxieschicht 62 der Oxidfilm 30 abgeschieden (Schritt 6).

Wie in Fig. 1D gezeigt ist, wird in der Fläche des Oxidfilms 30, in der die Emitter-Elektrode 28 ausgebildet werden soll, eine Öffnung ausgebildet (Schritt 7).

Nachfolgend wird über der gesamten Oberfläche des Wafers ein polykristalliner Siliciumfilm 64 abgeschieden (Schritt 8).

In den polykristallinen Siliciumfilm 64 werden n-Störstellen, beispielsweise As (Arsen), implantiert (Schritt 9).

Wie in Fig. 2A gezeigt ist, wird auf dem polykristallinen Siliciumfilm 64 ein Photoresistfilm 66 zum Ausbilden der Emitter-Elektrode 28 ausgebildet (Schritt 10).

Der polykristalline Film 64 wird unter Verwendung des Photoresistfilms 66 als Maske geätzt, um dadurch die Emitter-Elektrode 28 auszubilden (Schritt 11).

Um in die drei Epitaxieschichten 58, 60 und 62 Störstellen zu implantieren, wird durch den Oxidfilm 30 unter Verwendung des Photoresistfilms 66 als Maske Bor (B) mit einer vorgegebenen Energie implantiert (Schritt 12).

Um die Basis-Anschlußelektroden 56 auszubilden, wird auf dem Oxidfilm 30, wie in Fig. 2B gezeigt ist, ein Photo-

resistfilm 68 ausgebildet, während die Emitter-Elektrode 28 geschützt wird (Schritt 13).

Die drei Epitaxieschichten 58, 60 und 62 werden unter Verwendung des Photoresistfilms 68 als Maske zusammen mit dem Oxidfilm 30 geätzt, wodurch der Oxidfilm 30 und die Epitaxieschichten 58, 60 und 62 zur Geometrie der Basis-Anschlußelektrode 56 strukturiert werden (Schritt 14).

Wie in Fig. 2C gezeigt ist, wird nach Entfernen des Photoresistfilms 68 über der gesamten Oberfläche des Wafers der Isolierfilm 32 abgeschieden (Schritt 15).

Daraufhin wird der gesamte Wafer einer Wärmebehandlung bei einer vorgegebenen Temperatur ausgesetzt (Schritt 16).

Während der Wärmebehandlung diffundiert das in der Emitter-Elektrode 28 enthaltene As (entsprechend einem As-dotierten polykristallinen Polysilicium) in die Siliciumepitaxieschicht 62, wodurch die Emitter-Schicht 54 mit der Eigenschaft eines n-Halbleiters ausgebildet wird.

Während der Wärmebehandlung diffundieren die in die nicht mit der Emitter-Elektrode 28 bedeckten Teile der drei Epitaxieschichten 58, 60 und 62 implantierten Störstellen (B) und werden aktiv, wodurch die Basis-Anschlußelektroden 56 mit der Eigenschaft eines p-Halbleiters gebildet werden.

Auf die in dieser Weise beschriebenen Verarbeitungsoperationen folgt das Ausbilden der Kontaktlöcher an geeigneten Stellen auf dem Isolierfilm 32 (Schritt 17).

In den jeweiligen Kontaktlöchern werden die Stopfen 34, 36 und 38 ausgebildet (Schritt 18).

Auf dem Isolierfilm 32 wird die Metallzwischenverbindung 40 in der Weise ausgebildet, daß sie mit dem Stopfen 34 verbunden ist, während die Metallzwischenverbindung 42 in der Weise ausgebildet wird, daß sie mit dem Stopfen 36 verbunden ist, und die Metallzwischenverbindung 44 in der Weise ausgebildet wird, daß sie mit dem Stopfen 38 verbunden ist, womit die in Fig. 2D gezeigte Struktur verkörpert wird (Schritt 19).

In dem HBT der vorliegenden Ausführungsform wird in dem Grenzgebiet zwischen der Basis-Schicht 52 (vom p-Typ) und der Sub-Kollektor-Schicht 50 (vom n-Typ) und in dem Grenzgebiet zwischen den Basis-Anschlußelektroden 56 (vom p-Typ) und der n-Siliciumschicht 16 ein p-n-Übergang ausgebildet. Um die parasitäre Basis-Kollektor-Kapazität zu verringern und zu ermöglichen, daß der HBT bei Hochfrequenz arbeitet, ist es wünschenswert, die Fläche des p-n-Übergangs klein zu machen.

In der vorliegenden Ausführungsform wird die Emitter-Elektrode 28 des HBTs selbstjustierend in der Basis-Anschlußelektrode 56 ausgebildet. In dem HBT mit einer solchen Struktur können die Emitter-Elektrode 28 und die Basis-Anschlußelektrode 56 in sehr enge Nachbarschaft zueinander gebracht werden, während das Auftreten eines Kurzschlusses zwischen ihnen verhindert werden kann. Genauer ermöglicht die Struktur des HBTs eine ausreichende Verringerung der Fläche des p-n-Übergangs in dem Basis-Kollektor-Gebiet, während das Auftreten eines Kurzschlusses zwischen dem Emitter-Gebiet und dem Basis-Gebiet verhindert wird. Dementsprechend kann die Struktur des HBTs der vorliegenden Ausführungsform die parasitäre Basis-Kollektor-Kapazität wie im Fall der herkömmlichen selbstjustierenden Doppelpolysiliciumstruktur verringern (siehe Fig. 13).

In der vorliegenden Ausführungsform wird die Breite des Basis-Gebiets des HBTs ausreichend kleiner als die des Basis-Gebiets der herkömmlichen selbstjustierenden Doppelpolysiliciumstruktur gemacht. Ferner wird in der vorliegenden Ausführungsform die Basis-Schicht 52 aus einem SiGe-Film hergestellt, während die Emitter-Schicht 54 aus einem

Siliciumfilm hergestellt wird, wodurch das verbotene Band der Emitter-Schicht 54 gegenüber dem der Basis-Schicht 52 ausreichend verbreitert wird. Selbst wenn der Störstellengehalt der Basis-Schicht 52 erhöht wird, kann das Auftreten eines Basis-Stroms in diesem Fall verringert werden, wodurch eine praktisch ausreichende Stromverstärkung sichergestellt wird. Somit ermöglicht die HBT-Struktur der vorliegenden Ausführungsform ein Erhöhen des Störstellengehalts der Basis-Schicht 52 ohne Verschlechterung einer praktischen Stromverstärkung, wodurch das Auftreten eines Durchbruchs verhindert wird. Mit anderen Worten, die HBT-Struktur der vorliegenden Ausführungsform stellt die gleiche Stromverstärkung sicher, wie sie der herkömmliche HBT erreicht, verhindert wirksam das Auftreten eines Durchgriffs und verkürzt die Zeit, die die Ladungsträger benötigen, um durch das Basis-Gebiet zu laufen, wodurch die Hochfrequenzcharakteristik des HBTs verbessert wird.

Wie oben erwähnt wurde, kann der HBT der vorliegenden Ausführungsform durch ein sehr einfaches Verfahren hergestellt werden und eine ausgezeichnete Hochfrequenzcharakteristik realisieren, ohne daß ein Durchgriff auftritt.

Zweite Ausführungsform

Nachfolgend wird ein Verfahren zur Herstellung eines HBTs gemäß einer zweiten Ausführungsform der Erfindung sowie die Struktur des HBTs beschrieben. Die Fig. 4A bis 4D und die Fig. 5A und 5B sind Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung eines HBTs der vorliegenden Ausführungsform. Insbesondere zeigt Fig. 5B die charakteristische Struktur des HBTs der vorliegenden Ausführungsform.

Wie in Fig. 5B gezeigt ist, bleibt der Oxidfilm 30, der die Basis-Anschlußelektroden 56 bedeckt, weiter um die n⁺-Kollektor-Anschlußschicht 18, während auf der n⁺-Kollektor-Anschlußschicht 18 eine aus dotiertem Polysilicium hergestellte Kollektor-Elektrode 70 ausgebildet ist. Mit Ausnahme dieser beiden Punkte ist die Struktur des HBTs der vorliegenden Ausführungsform völlig gleich zu der in der ersten Ausführungsform verwendeten.

Im folgenden wird ein Verfahren zur Herstellung des HBTs der zweiten Ausführungsform beschrieben.

Wie in Fig. 4A gezeigt ist, werden in dem HBT-Herstellungsverfahren der vorliegenden Ausführungsform auf dem Siliciumsubstrat 10 die Diffusionschichten 12, 14, 16, 18 und 20 in der gleichen Weise wie in der ersten Ausführungsform ausgebildet (Schritte 1 bis 3).

Daraufhin werden über der gesamten Oberfläche des Wafers mit den gleichen Schritten und in der gleichen Weise wie in der ersten Ausführungsform die Siliciumepitaxieschicht 58, die SiGe-Epitaxieschicht 60 und die Siliciumepitaxieschicht 62 ausgebildet (Schritt 5).

Auf der Siliciumepitaxieschicht 62 wird der Photoresistfilm 68 in der Weise ausgebildet, daß er die gleiche Form wie die Basis-Anschlußelektrode 56 annimmt (Schritt 20).

Unter Verwendung des Photoresistfilms 68 als Maske werden die drei Epitaxieschichten 58, 60 und 62 geätzt. Folglich werden die Epitaxieschichten 58, 60 und 62 in der gleichen Form wie die Basis-Anschlußelektrode 56 strukturiert (Schritt 21).

Wie in Fig. 4B gezeigt ist, wird über der gesamten Oberfläche des Wafers der Oxidfilm 30 abgeschieden (Schritt 22).

Wie in Fig. 4C gezeigt ist, werden in dem Oxidfilm 30 eine mit der Fläche, in der die Emitter-Elektrode 28 ausgebildet werden soll, verbundene Öffnung und eine mit der n⁺-Kollektor-Anschlußschicht 18 verbundene Öffnung ausgebildet (Schritt 23).

Auf der gesamten Oberfläche des Wafers wird ein polykristalliner Siliciumfilm 64 abgeschieden (Schritt 24).

In den polykristallinen Siliciumfilm 64 werden n-Störstellen, d. h. As (Arsen), mit einer vorgegebenen Konzentration implantiert (Schritt 25).

Wie in Fig. 4D gezeigt ist, werden auf dem polykristallinen Siliciumfilm 64 der Photoresistfilm 66 zur Verwendung beim Strukturieren der Emittier-Elektrode 28 und ein Photoresistfilm 72 zur Verwendung beim Strukturieren der Kollektor-Elektrode 70 ausgebildet (Schritt 26).

Der polykristalline Siliciumfilm 64 wird unter Verwendung der Photoresistfilme 66 und 72 als Masken geätzt, wodurch die Emittier-Elektrode 28 und die Kollektor-Elektrode 70 ausgebildet werden (Schritt 27).

Um in die drei Epitaxieschichten 58, 60 und 62 Störstellen zu implantieren, wird durch den Oxidfilm 30 unter Verwendung der Photoresistmaske 66 als Maske Bor (B) mit einer vorgegebenen Energie implantiert (Schritt 28).

Wie in Fig. 5A gezeigt ist, wird nach Entfernen der Photoresistfilme 66 und 72 über der gesamten Oberfläche des Wafers der Isolierfilm 32 abgeschieden (Schritt 29).

Der gesamte Wafer wird einer Wärmebehandlung bei einer vorgegebenen Temperatur ausgesetzt (Schritt 30).

Wie im Fall der in der ersten Ausführungsform ausgeführten Wärmebehandlung (siehe Schritt 16) werden die Emittier-Schicht 54 mit der Eigenschaft eines n-Halbleiters und die Basis-Anschlußelektrode 56 mit der Eigenschaft eines p-Halbleiters ausgebildet.

Auf die somit beschriebenen Verarbeitungsoperationen folgt die Ausbildung von Kontaktlöchern an geeigneten Stellen in dem Isolierfilm 32, um die Kollektor-Elektrode 70, die Emittier-Elektrode 28 und die Basis-Anschlußelektroden 56 freizulegen (Schritt 31).

Nachfolgend werden in den entsprechenden Kontaktlöchern die Stopfen 34, 36 und 38 ausgebildet (Schritt 32).

Auf dem Isolierfilm 32 wird die Metallzwischenverbindung 40 in der Weise ausgebildet, daß sie mit dem Stopfen 34 verbunden ist, während die Metallzwischenverbindung 42 in der Weise ausgebildet wird, daß sie mit dem Stopfen 36 verbunden ist, und die Metallzwischenverbindung 44 in der Weise ausgebildet wird, daß sie mit dem Stopfen 38 verbunden ist, wodurch ein HBT mit der in Fig. 5B gezeigten Struktur verkörpert wird (Schritt 33).

In dem HBT gemäß der obenerwähnten ersten Ausführungsform ist das Kontaktloch, in dem der Stopfen 34 untergebracht ist, tiefer als die anderen Kontaktlöcher, in denen die Stopfen 36 und 38 untergebracht sind. Um sämtliche Kontaktlöcher geeignet auszubilden, müssen die unteren Teile der Kontaktlöcher, in denen die Stopfen 36 und 38, d. h. die Emittier-Elektrode 28 und die Basis-Anschlußelektrode 56, untergebracht sind, stark überätzt werden. Vom Standpunkt des Erhaltens einer stabilen Charakteristik durch Schutz der Emittier-Elektrode 28 und der Basis-Anschlußelektrode 56 vor Zerstörung ist ein geringes Überätzen wünschenswert.

In der HBT-Struktur der vorliegenden Ausführungsform wird auf der n⁺-Kollektor-Anschlußschicht 18 eine Kollektor-Elektrode ausgebildet. Der Unterschied zwischen der Tiefe des Kontaktlochs, in dem der Stopfen 34 untergebracht ist, und den Tiefen der anderen Kontaktlöcher 36 und 38 wird kleiner als im Fall der ersten Ausführungsform gemacht. Dementsprechend ist in der HBT-Struktur der vorliegenden Ausführungsform der Betrag des Überätzens der Emittier-Elektrode 28 und der Basis-Elektrode 56 im Vergleich zur Struktur der ersten Ausführungsform kleiner, so daß sich die Menge des entfernten Wafers verringert.

Dritte Ausführungsform

Nachfolgend werden ein Verfahren zur Herstellung eines HBTs gemäß einer dritten Ausführungsform der Erfindung sowie die Struktur des HBTs beschrieben. Die Fig. 6A bis 6D und 7 sind Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung des HBTs der vorliegenden Ausführungsform. Insbesondere zeigt Fig. 7 die charakteristische Struktur des HBTs der vorliegenden Ausführungsform.

Wie in Fig. 7 gezeigt ist, bleibt in dem HBT der vorliegenden Ausführungsform der Oxidfilm 30, der die Basis-Anschlußelektroden 56 bedeckt, weiter um die n⁺-Kollektor-Anschlußschicht 18. Mit Ausnahme dieses Punktes ist die Struktur des HBTs der vorliegenden Ausführungsform völlig gleich zu der in der ersten Ausführungsform verwendeten.

Im folgenden wird ein Verfahren zur Herstellung des HBTs der dritten Ausführungsform beschrieben.

Wie in Fig. 6A gezeigt ist, werden in dem HBT-Herstellungsverfahren der vorliegenden Ausführungsform auf der gesamten Oberfläche des Wafers in der gleichen Weise wie in der ersten Ausführungsform die drei Epitaxieschichten 58, 60 und 62 ausgebildet (Schritte 1 bis 5).

Die Epitaxieschichten 58, 60 und 62 werden in der gleichen Weise wie in der zweiten Ausführungsform strukturiert, wodurch der Oxidfilm 30 ausgebildet wird (Schritte 20 bis 22).

Wie in Fig. 6B gezeigt ist, wird in derjenigen Fläche des Oxidfilms 30, in der die Emittier-Elektrode 28 ausgebildet werden soll, eine Öffnung ausgebildet (Schritt 34).

Auf der gesamten Oberfläche des Wafers wird der polykristalline Siliciumfilm 64 abgeschieden (Schritt 35).

In den polykristallinen Siliciumfilm 64 werden n-Störstellen, d. h. As (Arsen), mit einer vorgegebenen Konzentration implantiert (Schritt 36).

Wie in Fig. 6C gezeigt ist, wird auf dem polykristallinen Siliciumfilm 64 der Photoresistfilm 66 ausgebildet, um die Emittier-Elektrode 28 auszubilden (Schritt 37).

Der polykristalline Film 64 wird unter Verwendung des Photoresistfilms 66 als Maske geätzt, wodurch die Emittier-Elektrode 28 ausgebildet wird (Schritt 38).

Zum Implantieren von Störstellen in die drei Epitaxieschichten 58, 60 und 62 wird durch den Oxidfilm 30 mit einer vorgegebenen Energie unter Verwendung des Photoresistfilms 66 als Maske Bor (B) implantiert (Schritt 39).

Wie in Fig. 6D gezeigt ist, wird über der gesamten Oberfläche des Wafers nach Entfernen des Photoresistfilms 66 der Isolierfilm 32 abgeschieden (Schritt 40).

Der gesamte Wafer wird einer Wärmebehandlung bei einer vorgegebenen Temperatur ausgesetzt (Schritt 41).

Wie im Fall der in der ersten Ausführungsform ausgeführten Wärmebehandlung (siehe Schritt 16) werden die Emittier-Schicht 54 mit der Eigenschaft eines n-Halbleiters und die Basis-Anschlußelektrode 56 mit der Eigenschaft eines p-Halbleiters ausgebildet.

Auf die somit beschriebenen Verarbeitungsoperationen folgt die Ausbildung von Kontaktlöchern an geeigneten Stellen in dem Isolierfilm 32, um die n⁺-Kollektor-Anschlußschicht 18, die Emittier-Elektrode 28 und die Basis-Anschlußelektroden 56 freizulegen (Schritt 42).

Nachfolgend werden in den entsprechenden Kontaktlöchern die Stopfen 34, 36 und 38 ausgebildet (Schritt 43).

Auf dem Isolierfilm 32 wird die Metallzwischenverbindung 40 in der Weise ausgebildet, daß sie mit dem Stopfen 34 verbunden ist, während die Metallzwischenverbindung 42 in der Weise ausgebildet wird, daß sie mit dem Stopfen 36 verbunden ist, und die Metallzwischenverbindung 44 in

der Weise ausgebildet wird, daß sie mit dem Stopfen 38 verbunden ist, wodurch ein IIBT mit der in Fig. 7 gezeigten Struktur verkörpert wird (Schritt 44).

Der IIBT der vorliegenden Ausführungsform kann mit der gleichen Geschwindigkeit wie der IIBT der ersten Ausführungsform arbeiten. Wie der IIBT der ersten Ausführungsform kann auch der IIBT der dritten Ausführungsform durch ein einfaches Verfahren hergestellt werden. Dementsprechend kann die vorteilhafte Wirkung, die durch die IIBT-Struktur der ersten Ausführungsform erzielt wird, auch durch die IIBT-Struktur der vorliegenden Ausführungsform erzielt werden.

Vierte Ausführungsform

Nachfolgend werden ein Verfahren zur Herstellung eines IIBTs gemäß einer vierten Ausführungsform der Erfindung sowie die Struktur des IIBTs beschrieben. Die Fig. 8A bis 8D und die Fig. 9A bis 9D sind Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung des IIBTs der vorliegenden Ausführungsform. Insbesondere zeigt Fig. 9D die charakteristische Struktur des IIBTs der vorliegenden Ausführungsform.

Wie in Fig. 9D gezeigt ist, umfaßt der IIBT der vorliegenden Ausführungsform einen Silicidfilm 74, der die Oberfläche der Emittier-Elektrode 28 bedeckt, einen Silicidfilm 76, der die Oberfläche der Basis-Anschlußelektrode 56 bedeckt, und einen Silicidfilm 78, der die Oberfläche der n^+ -Kollektor-Anschlußschicht 18 bedeckt. Um das Auftreten eines Kurzschlusses zwischen der Emittier-Elektrode 28 und den Basis-Anschlußelektroden 56 zu verhindern, ist von einem Oxidfilm an der Seitenfläche der Emittier-Elektrode 28 aus eine Seitenwand 80 ausgebildet. Von einem Oxidfilm an der Seitenfläche jeder der Basis-Anschlußelektroden 56 aus ist eine Seitenwand 82 in der Weise ausgebildet, daß sie lückenlos an den Feldoxidfilm 17 anschließt. Mit Ausnahme dieses Punkts ist die Struktur des IIBTs der vorliegenden Ausführungsform völlig gleich zu der des IIBTs der ersten Ausführungsform.

Wie in Fig. 8A gezeigt ist, wird der polykristalline Siliciumfilm 64 in dem IIBT-Herstellungsverfahren der vorliegenden Ausführungsform in der gleichen Weise wie im Fall der ersten Ausführungsform auf dem Siliciumsubstrat 10 ausgebildet, wobei in den polykristallinen Film 64 n -Störstellen, d. h. As, mit einer vorgegebenen Konzentration implantiert werden (Schritte 1 bis 9).

Um später den Betrag des auszuführenden Überätzens zu verringern, wird auf dem polykristallinen Siliciumfilm 64 ein zweiter Oxidfilm 84 ausgebildet (Schritt 45).

Wie in Fig. 8B gezeigt ist, wird auf dem zweiten Oxidfilm 84 der Photoresistfilm 66 zur Verwendung beim Strukturieren der Emittier-Elektrode 28 ausgebildet (Schritt 46).

Der zweite Oxidfilm 84 und der polykristalline Siliciumfilm 64 werden unter Verwendung des Photoresistfilms 66 als Maske geätzt, wodurch die mit dem zweiten Oxidfilm 84 beschichtete Emittier-Elektrode 28 ausgebildet wird (Schritt 47).

Um in die drei Epitaxieschichten 58, 60 und 62 Störstellen zu implantieren, wird durch den Oxidfilm 30 unter Verwendung der Photoresistmaske 66 als Maske Bor (B) mit einer vorgegebenen Energie implantiert (Schritt 48).

Wie in Fig. 8C gezeigt ist, wird auf dem Oxidfilm 30 der Photoresistfilm 68 in der Weise ausgebildet, daß er die gleiche Form wie die Basis-Anschlußelektroden 56 annimmt (Schritt 49).

Die drei Epitaxieschichten 58, 60 und 62 werden unter Verwendung der Photoresistmaske 68 als Maske geätzt. Folglich werden die Epitaxieschichten 58, 60 und 62 in der

gleichen Form wie die Basis-Anschlußelektroden 56 strukturiert (Schritt 50).

Wie in Fig. 8D gezeigt ist, wird nach Entfernen des Photoresistfilms 66 über der gesamten Oberfläche des Wafers ein dritter Oxidfilm 86 ausgebildet. Die Seitenfläche der Emittier-Elektrode 28 und die Seitenflächen der Epitaxieschichten 58, 60 und 62 werden mit dem somit ausgebildeten dritten Oxidfilm 86 beschichtet (Schritt 51).

Auf der dritten Epitaxieschicht 62 wird zuvor der Oxidfilm 30 ausgebildet. Ferner wird auf der n^+ -Kollektor-Anschlußschicht 18 zuvor der Oxidfilm 19 ausgebildet, während auf der Emittier-Elektrode 28 zuvor der zweite Oxidfilm 84 ausgebildet wird. Zu einem Zeitpunkt, zu dem der dritte Oxidfilm 86 ausgebildet worden ist, gibt es somit über der Epitaxieschicht 62, über der n^+ -Kollektor-Anschlußschicht 18 bzw. über der Emittier-Elektrode 28 Mehrschicht-Oxidfilme jeweils mit einer im wesentlichen gleichförmigen Dicke.

Wie in Fig. 9A gezeigt ist, werden die Oxidfilme anisotrop geätzt, bis die Epitaxieschicht 62, die n^+ -Kollektor-Anschlußschicht 18 und die Emittier-Elektrode 28 freigelegt sind (Schritt 52).

Wie oben erwähnt wurde, haben die Oxidfilme über den drei Schichten, d. h. über der Epitaxieschicht 62, über der n^+ -Kollektor-Anschlußschicht 18 und über der Emittier-Elektrode 28, jeweils im wesentlichen die gleiche Dicke. Somit können diese drei Schichten freigelegt werden, ohne daß es zu irgendeinem übermäßigen Überätzen kommt. In der vorliegenden Ausführungsform können die Epitaxieschicht 62, die n^+ -Kollektor-Anschlußschicht 18 und die Emittier-Elektrode 28 geeignet freigelegt werden, ohne daß irgendeine dieser Schichten beschädigt wird. Durch die vorstehende Verarbeitungsoperation wird auf der Seitenfläche der Emittier-Elektrode 28 die Seitenwand 80 ausgebildet, während auf den Seitenflächen der Epitaxieschichten 58, 60 und 62 die Seitenwand 82 ausgebildet wird.

Wie in Fig. 9B gezeigt ist, wird auf der freiliegenden Oberfläche der Emittier-Elektrode 28 die Siliciumschicht 74 ausgebildet, während auf der freiliegenden Oberfläche der Epitaxieschicht 62 die Siliciumschicht 76 ausgebildet wird und auf der freiliegenden Oberfläche der n^+ -Kollektor-Anschlußschicht 18 die Siliciumschicht 78 ausgebildet wird (Schritt 54).

Die Silicidschichten 74, 76 und 78 können dadurch ausgebildet werden, daß über der gesamten Oberfläche des Wafers ein hochschmelzendes Metall, das wie etwa Co mit Silicium reagiert, abgeschieden wird und der Wafer einer Wärmebehandlung bei einer vorgegebenen Temperatur ausgesetzt wird. Der Teil des hochschmelzenden Metalls, der auf dem Feldoxidfilm 17 abgeschieden wurde und nicht mit dem Silicium reagiert hat, wird nach der Wärmebehandlung entfernt.

Wie in Fig. 9C gezeigt ist, wird über der gesamten Oberfläche des Wafers der Isolierfilm 32 abgeschieden (Schritt 56).

Der gesamte Wafer wird einer Wärmebehandlung bei einer vorgegebenen Temperatur ausgesetzt (Schritt 57).

Wie im Fall der in der ersten Ausführungsform ausgeführten Wärmebehandlung (siehe Schritt 16) werden die Emittier-Schicht 54 mit der Eigenschaft eines n -Halbleiters und die Basis-Anschlußelektrode 56 mit der Eigenschaft eines p -Halbleiters ausgebildet.

Auf die somit beschriebenen Verarbeitungsoperationen folgt das Ausbilden von Kontaktlöchern an geeigneten Stellen in dem Isolierfilm 32, um die Silicidschichten 74, 76 und 78 freizulegen (Schritt 58).

Nachfolgend werden in den entsprechenden Kontaktlöchern die Stopfen 34, 36 und 38 ausgebildet (Schritt 59).

Auf dem Isolierfilm 32 wird die Metallzwischenverbindung 40 in der Weise ausgebildet, daß sie mit dem Stopfen 34 verbunden wird, während die Metallzwischenverbindung 42 in der Weise ausgebildet wird, daß sie mit dem Stopfen 36 verbunden ist, und die Metallzwischenverbindung 44 in der Weise ausgebildet wird, daß sie mit dem Stopfen 38 verbunden ist, wodurch ein IIBT mit der in Fig. 9D gezeigten Struktur verkörpert wird (Schritt 60).

In der IIBT-Struktur der vorliegenden Ausführungsform ist die Oberfläche der Basis-Anschlußelektroden 56 mit der Siliciumschicht 76 bedeckt, wodurch der Widerstand des Basis-Gebiets des IIBTs ausreichend niedrig gemacht wird. Die freiliegende Oberfläche der Emitter-Elektrode 28 ist mit der Silicidschicht 74 beschichtet, während die freiliegende Oberfläche der n^+ -Kollektor-Anschlußschicht 18 mit der Siliciumschicht 78 beschichtet ist. Die Silicidschicht 74 kann den zwischen dem Stopfen 36 und der Emitter-Elektrode 28 auftretenden Kontaktwiderstand ausreichend verringern, während die Silicidschicht 76 den zwischen dem Stopfen 34 und der n^+ -Kollektor-Anschlußschicht 18 auftretenden Kontaktwiderstand ausreichend verringern kann. Der IIBT der vorliegenden Ausführungsform kann eine Hochfrequenzcharakteristik und eine Rauschminderungswirkung besser als der IIBT der ersten Ausführungsform erreichen.

Der IIBT der vierten Ausführungsform entspricht dem IIBT der ersten Ausführungsform, der außerdem mit den Silicidschichten 74, 76 und 78 versehen sein kann. Die Erfindung ist nicht auf eine solche Ausführungsform beschränkt; sie kann auch durch Hinzufügen der Silicidschichten 74, 76 und 78 zu dem IIBT entweder gemäß der zweiten oder der dritten Ausführungsform verkörpert werden.

Fünfte Ausführungsform

Nachfolgend werden ein Verfahren zur Herstellung eines IIBTs gemäß einer fünften Ausführungsform der Erfindung sowie die Struktur des IIBTs beschrieben. Die Fig. 10A bis 10C sind Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung des IIBTs der vorliegenden Ausführungsform. Der IIBT der vorliegenden Ausführungsform ist dadurch gekennzeichnet, daß anstelle der p-Diffusionsschicht 14 und der p-Elementisations-Diffusionsschicht 20, die in der ersten vierten Ausführungsform vorgesehen sind, eine p-Elementisations-Diffusionsschicht 88 vorgesehen ist. Mit Ausnahme dieses Punkts ist die Struktur des IIBTs der vorliegenden Ausführungsform völlig gleich zu der in der vierten Ausführungsform. Die IIBT-Struktur, die die Basis der Erfindung bildet, ist nicht auf die der vierten Ausführungsform beschränkt; es kann auch die IIBT-Struktur der ersten, zweiten oder dritten Ausführungsform verwendet werden.

Es wird nun ein Verfahren zur Herstellung des IIBTs der fünften Ausführungsform beschrieben.

Wie in Fig. 10A gezeigt ist, wird in dem IIBT-Herstellungsverfahren der vorliegenden Ausführungsform auf dem Siliciumsubstrat 10, das dem p-Halbleiter entspricht, zunächst die n^+ -Diffusionsschicht 12 ausgebildet (Schritt 61).

Auf der n^+ -Diffusionsschicht 12 wird die n-Siliciumschicht 16 ausgebildet (Schritt 62).

In der n^+ -Diffusionsschicht 12 und in der n-Siliciumschicht 16 werden die Gräben 90 ausgebildet, um den Wafer in eine gewünschte Geometrie zu trennen (Schritt 64).

An der Unterseite jedes der Gräben 90 wird die p-Elementisations-Diffusionsschicht 88 ausgebildet (Schritt 65).

Der Wafer wird einer Oxidationsbehandlung ausgesetzt, um auf der Seitenfläche des Grabens 90 einen Oxidfilm 92 auszubilden (Schritt 66).

Nach Abschluß der Oxidationsbehandlung wird ein Isolierstoff 94 wie etwa polykristallines Silicium abgeschieden, wodurch die Gräben 90 gefüllt werden (Schritt 67).

Der Oxidfilm 92 oder der Isolierstoff 94, der abgeschieden wurde, bis er sich über die Oberfläche des Wafers (d. h. über die Oberfläche der n-Siliciumschicht 16) erstreckt, wird weggeätzt, wodurch der Wafer den in Fig. 10A gezeigten Zustand erreicht hat (Schritt 68).

Wie in Fig. 10B gezeigt ist, wird auf der Oberfläche der n-Siliciumschicht 16 der Feldoxidfilm 17 ausgebildet (Schritt 69).

Nachfolgend wird in einem Teil der n-Siliciumschicht 16 die n^+ -Kollektor-Anschlußschicht 18 ausgebildet (Schritt 70).

Nachdem auf der freiliegenden Oberfläche der n-Siliciumschicht 16 und auf der freiliegenden Oberfläche der n^+ -Kollektor-Schicht 18 der Oxidfilm 19 ausgebildet wurde, wird dieser von der Oberfläche des Wafers mit Ausnahme der über der n^+ -Kollektor-Anschlußschicht 18 liegenden Stelle entfernt. Folglich wird der Oxidfilm 19 nur an der über der n^+ -Kollektor-Schicht 18 liegenden Stelle ausgebildet (Schritt 71).

Der Wafer wird einer Verarbeitung mit den gleichen Herstellungsschritten wie in der vierten Ausführungsform, d. h. mit den obenbeschriebenen Schritten 5 bis 9 und 45 bis 60, ausgesetzt, wodurch die in Fig. 10C gezeigte IIBT-Struktur realisiert wird.

In dem IIBT gemäß irgendeiner der ersten bis fünften Ausführungsform wird die parasitäre Kollektor-Substrat-Kapazität stark durch die Breite einer Verarmungsschicht, die sich zwischen der n^+ -Diffusionsschicht 12 und der benachbarten p-Diffusionsschicht (14 oder 88) bildet, beeinflußt. In der IIBT-Struktur gemäß der ersten bis dritten Ausführungsform trennt ein kurzer Abstand die n^+ -Diffusionsschicht 12 und die p-Diffusionsschicht 14, wobei die Verarmungsschicht, die sich zwischen ihnen entwickelt, schnell ist. Daher entsteht wahrscheinlich eine hohe parasitäre Kollektor-Substrat-Kapazität. Im Gegensatz dazu sind die n^+ -Diffusionsschicht 12 und die p-Diffusionsschicht 88 in der IIBT-Struktur der vorliegenden Ausführungsform durch einen großen Abstand getrennt, wobei eine Verarmungsschicht mit einer großen Ausdehnung sichergestellt werden kann. Somit kann die parasitäre Kollektor-Substrat-Kapazität leicht niedrig gemacht werden.

Wenn die parasitäre Kollektor-Substrat-Kapazität niedriger wird, zeigt der IIBT eine bessere Hochfrequenzcharakteristik. Somit kann der IIBT der vorliegenden Ausführungsform eine weitaus bessere Hochfrequenzcharakteristik erreichen, als sie durch die IIBTs gemäß der ersten bis vierten Ausführungsform erreicht wird.

Sechste Ausführungsform

Anhand der Fig. 11A und 11B wird nachfolgend ein IIBT gemäß einer sechsten Ausführungsform der Erfindung beschrieben. Der IIBT der vorliegenden Ausführungsform kann anhand irgendeines der IIBTs gemäß der ersten bis fünften Ausführungsform durch Ändern des Störstellengehaltprofils (d. h. des Profils des P-Gehalts) der Epitaxialschicht 58 von dem in Fig. 3 gezeigten auf das in Fig. 11A gezeigte verkörpert werden.

Fig. 11A zeigt ein Profil über die Konzentration der in die drei Epitaxialschichten 58, 60 und 62 integrierten Störstellen und des in diese integrierten Ge. In der vorliegenden Ausführungsform werden für den B-Gehalt der Siliciumepitaxialschicht 62, die zu einem Emitter-Gebiet des IIBTs wird, und für den B-Gehalt der Epitaxialschicht 60, die zu einem Basis-Gebiet des IIBTs wird, die gleichen Profile vorausge-

setzt, wie sie in der ersten bis fünften Ausführungsform erhalten wurden (siehe Fig. 3). Ferner wird für den P-Gehalt der Epitaxieschicht 58, die zu einem Kollektor-Gebiet des HBTs werden soll, ein Profil vorausgesetzt, das sich von dem in der ersten bis fünften Ausführungsform erhaltenen unterscheidet. Gemäß diesem Profil fällt der P-Gehalt von der Grenzfläche zwischen dem Kollektor-Gebiet und dem Basis-Gebiet zur Unterseite der Epitaxieschicht 58 allmählich.

Wenn der HBT mit Hochfrequenz arbeitet, kann es zu einer Einsenkung, in der sich ein effektives Basis-Gebiet im Zusammenhang mit der Realisierung einer großen Menge an Ladungsträgern bis zu einem Kollektor-Gebiet verbreitert, d. h. zu einem Basis-Verbreiterungseffekt, kommen. Im Fall des Auftretens eines Basis-Verbreiterungseffekts wird die Zeit, die die Träger zum Durchlaufen eines Basis-Gebiets benötigen, größer, wodurch sich die Hochfrequenzcharakteristik des HBTs verschlechtert. Somit bewirkt die Verhinderung des Basis-Verbreiterungseffekts eine Verbesserung der Hochfrequenzcharakteristik des HBTs. Um eine Verbreiterung eines effektiven Basis-Gebiets zu verhindern, kann der Basis-Verbreiterungseffekt des HBTs durch Erhöhen des Störstellengehalts des Kollektorgebiets verringert werden. Falls jedoch der Störstellengehalt des gesamten Kollektor-Gebiets erhöht wird, verschlechtert sich die Spannungsfestigkeit des HBTs, was sich nachteilig auswirkt.

Wie oben erwähnt wurde, wird die Epitaxieschicht 58, die zu einem Kollektor-Gebiet werden soll, in der vorliegenden Ausführungsform mit P mit einem Konzentrationsprofil derart dotiert, daß die Konzentration in einem Grenzgebiet zwischen dem Kollektor-Gebiet und dem Basis-Gebiet hoch wird, während sie in einem Grenzgebiet zwischen dem Kollektor-Gebiet und dem Substrat 10 niedrig wird. Ein solches Konzentrationsprofil von P stellt die Spannungsfestigkeit des HBTs sicher und verhindert wirksam einen Basis-Verbreiterungseffekt, der andernfalls verursacht würde, wenn der HBT bei Hochfrequenz arbeitet. Dementsprechend kann der HBT der vorliegenden Ausführungsform eine wesentlich bessere Hochfrequenzcharakteristik als die HBTs der ersten bis fünften Ausführungsform erzielen.

Fig. 11B zeigt ein weiteres Beispielprofil der in die Epitaxieschichten 58, 60 und 62 integrierten Störstellen- und Ge-Konzentrationen. Für die Profile der Störstellen und des Ge, die in die Epitaxieschicht 58 implantiert werden, die zu einem Kollektor-Gebiet werden soll, kann eine schrittweise Änderung angenommen werden. Selbst wenn für den HBT ein solches Profil verwendet wird, wird die gleiche vorteilhafte Wirkung erzielt, wie sie durch den HBT im Fall des in Fig. 11A gezeigten Profils verwendet wird.

Siebente Ausführungsform

Anhand der Fig. 12A bis 12C wird nachfolgend ein HBT gemäß einer siebenten Ausführungsform der Erfindung beschrieben.

Die Fig. 12A bis 12C zeigen Beispielpreise der Konzentration der in der vorliegenden Ausführungsform integrierten Störstellen und des Ge in diese Schichten integrierten Ge.

In der ersten bis sechsten Ausführungsform werden weder in die Epitaxieschicht 60, die werden soll, noch in die Epitaxieschicht 62 P mit einer Konzentration von 4×10^{12} niedriger als der B-Gehalt (5×10^{17}) in der Epitaxieschichten 60 und 62.

der HBT der vorliegenden Ausführungsform selbst dann eine geeignete Transistorcharakteristik erzielen, wenn die Epitaxieschichten 60 und 62 P in einer solchen Konzentration enthalten.

Die Epitaxieschichten 60 und 62 sollten aufeinanderfolgend durch einen völlig gleichen Schritt ausgebildet werden wie den, in dem die Epitaxieschicht 58 ausgebildet wird, die mit P dotiert werden soll. Aus diesem Grund ist es nicht notwendig leicht, den P vollständig aus diesen Schichten zu entfernen. In der vorliegenden Ausführungsform sind Störstellen in den Epitaxieschichten 60 und 62 mit P zulässig, wodurch die drei Epitaxieschichten 58, 60 und 62 leicht aufeinanderfolgend ausgebildet werden können. Mit dem HBT der vorliegenden Ausführungsform kann eine bessere Produktivität erreicht werden als mit den HBTs der ersten bis sechsten Ausführungsform.

Vergleichsbeispiel 1

Zum Vergleich mit dem Herstellungsverfahren gemäß der Erfindung wird nun anhand der Fig. 14A bis 15 ein Herstellungsverfahren gemäß einem Vergleichsbeispiel 1 beschrieben. Das Vergleichsbeispiel 1 ist auf ein Verfahren zur Herstellung von Bipolartransistoren mit einem Homöübergang gerichtet. Wie später beschrieben wird, kann gemäß dem Herstellungsverfahren des Vergleichsbeispiels 1 mit einer Selbstjustierungstechnik eine Emitter-Elektrode zwischen zwei Basis-Anschlußelektroden ausgebildet werden.

Die Fig. 14A bis 14D und 15 sind Querschnittsansichten zur Beschreibung des Herstellungsverfahrens gemäß dem Vergleichsbeispiel 1. Im Vergleichsbeispiel 1 wird ein in Fig. 14A gezeigter Transistor mit der gleichen Technik wie in der ersten Ausführungsform ausgebildet.

Genauer werden im Vergleichsbeispiel 1 auf dem Siliciumsubstrat 10 (p-Halbleiter) eine n⁺-Diffusionsschicht 12 und eine p-Diffusionsschicht 14 ausgebildet (Schritt 1).

Über der n⁺-Diffusionsschicht 12 und der p-Diffusionsschicht 14 wird durch epitaktisches Wachstum eine n⁺-Siliciumschicht 16 ausgebildet (Schritt 2).

Nach Ausbilden eines Feldoxidfilms 17 werden eine n⁺-Kollektor-Anschlußschicht 18 und eine p-Elementisolation-Diffusionsschicht 20 ausgebildet (Schritt 3).

Auf den freiliegenden Flächen des Siliciums wird ein Oxidfilm 19 mit einer vorgegebenen Dicke ausgebildet. Der Oxidfilm 19 wird mit Ausnahme der direkt über der n⁺-Kollektor-Anschlußschicht 18 liegenden Fläche entfernt (Schritt 4).

Wie in Fig. 14B gezeigt ist, wird auf der n-Siliciumschicht 16 ein mit p-Störstellen dotierter polykristalliner Siliciumfilm 100 abgeschieden. Der polykristalline Siliciumfilm 100 wird in Form einer Basis-Anschlußelektrode strukturiert (Schritt 72).

Über der gesamten Oberfläche des Halbleiterwafers wird ein Oxidfilm 102 in der Weise ausgebildet, daß er den polykristallinen Siliciumfilm 100 bedeckt (Schritt 73).

In der Fläche, in der eine intrinsische Basis-Schicht ausgebildet werden soll, wird durch Ätzen des polykristallinen Siliciumfilms 100 und des Oxidfilms 102 eine Öffnung 104 ausgebildet (Schritt 74).

Im Ergebnis dessen, daß der Halbleiterwafer einer vorgegebenen Wärmebehandlung ausgesetzt wird, diffundieren die in dem polykristallinen Siliciumfilm 100 enthaltenen p-Störstellen in die n-Siliciumschicht 16, wodurch eine p⁺-Diffusionsschicht 106 ausgebildet wird (Schritt 75).

In den Halbleiterwafer werden von oberhalb der Öffnung 104 p-Störstellen wie etwa Bor (B) implantiert. Im Ergebnis werden in eine freiliegende Fläche der in der Öffnung 104 liegenden n-Siliciumschicht 16, d. h. in eine Fläche, in der

eine intrinsische Basis-Schicht ausgebildet werden soll, p-Störstellen implantiert (Schritt 76).

Wie in Fig. 14C gezeigt ist, wird längs des Innern der Öffnung 104 durch Abscheiden eines Oxidfilms und anisotropes Ätzen eine Seitenwand 108 ausgebildet (Schritt 77).

Im Ergebnis dessen, daß der Halbleiterwafer zum Zeitpunkt der Ausbildung der Seitenwand 108 einer vorgegebenen Wärmebehandlung ausgesetzt wird, wird die Aktivierung der in die n-Siliziumschicht 16 implantierten p-Störstellen und die Diffusion der p⁺-Diffusionsschicht 106 durchgeführt. Im Ergebnis dessen werden auf der n-Siliziumschicht 16 eine intrinsische Basis-Schicht 110 und eine p⁺-Diffusionsschicht 106A ausgebildet (Schritt 78).

Wie in Fig. 14D gezeigt ist, wird in der von der Seitenwand 108 eingeschlossenen Fläche eine Emitter-Elektrode 28 aus mit n-Störstellen dotiertem polykristallinem Silicium ausgebildet (Schritt 79).

Daraufhin wird das Halbleitersubstrat einer vorgegebenen Wärmebehandlung ausgesetzt, wodurch die in der Emitter-Elektrode 28 enthaltenen n-Störstellen diffundieren. Somit wird in der Umgebung der Oberfläche der intrinsischen Basis-Schicht 110 eine Emitter-Schicht 112 ausgebildet (Schritt 80).

Wie in Fig. 15 gezeigt ist, wird schließlich über der gesamten Oberfläche des Halbleiterwafers der dielektrische Film 32 abgeschieden (Schritt 15). An geeigneten Stellen werden Kontaktlöcher ausgebildet (Schritt 17). Daraufhin werden die Stopfen 34, 36 und 38 und die Metallzwischenverbindungen 40, 42 und 44 ausgebildet (Schritt 18 und 19).

Wie oben erwähnt wurde, kann die Emitter-Schicht 112 gemäß dem Vergleichsbeispiel 1 durch die Selbstjustierungstechnik in der Mitte der intrinsischen Basis-Schicht 110 ausgebildet werden. Gemäß dem Vergleichsbeispiel 1 kann die intrinsische Basis-Schicht 110 somit ausreichend verkleinert werden, ohne zwischen der Emitter-Schicht 112 und der Basis-Anschlußelektrode (dem polykristallinen Siliciumfilm 100) einen Kurzschluß zu erzeugen.

Wie oben erwähnt wurde, bewirkt eine Verringerung der Basis-Kollektor-Kapazität eine Erhöhung der Betriebsgeschwindigkeit des Bipolartransistors. Wie diesbezüglich zuvor erwähnt wurde, ist das Vergleichsbeispiel 1, das eine Verringerung der Basis-Kollektor-Kapazität dadurch ermöglicht, daß die intrinsische Basis-Schicht 110 klein gemacht wird, geeignet, die Betriebsgeschwindigkeit des Bipolartransistors zu erhöhen.

Außer der Verringerung der Basis-Kollektor-Kapazität ist zur die Erhöhung der Betriebsgeschwindigkeit des Bipolartransistors eine Verringerung der Breite einer Basis-Elektrode wichtig. Genauer ist im Fall des Vergleichsbeispiels 1 eine Verringerung der Dicke der intrinsischen Basis-Schicht 110 ebenfalls wichtig. Im Vergleichsbeispiel 1 wird die intrinsische Basis-Schicht 110 jedoch durch Implantation von Störstellen ausgebildet. In diesem Fall erschwert eine Kanalbildungsercheinung oder erschweren Schwankungen der Tiefe der Implantation das Steuern der Dicke der intrinsischen Basis-Schicht 110 bis auf einen Wert von 100 nm oder weniger. Diesbezüglich zeigt das Vergleichsbeispiel 1 eine Beschränkung der Erhöhung der Betriebsgeschwindigkeit eines Bipolartransistors.

Im Gegensatz dazu kann die Dicke der Basis-Schicht 52 in der zuvor beschriebenen ersten bis siebenten Ausführungsform durch die Dicke der Si-Epitaxieschicht 58 bestimmt werden. Dementsprechend sind die Herstellungsverfahren gemäß diesen Ausführungsformen dem Verfahren des Vergleichsbeispiels 1 in bezug auf die Erhöhung der Betriebsgeschwindigkeit eines Bipolartransistors, in dem die Basis-Schicht 52 dünn gemacht wird, überlegen.

Gemäß den in Verbindung mit der ersten bis siebenten

Ausführungsform beschriebenen Herstellungsverfahren wird die Lage des Oxidfilms 30 beispielsweise, wie in Fig. 2A gezeigt ist, durch Photolithographie bestimmt. Gemäß den in Verbindung mit der ersten bis siebenten Ausführungsform beschriebenen Herstellungsverfahren kann in bezug auf die Lage der Öffnung des Oxidfilms 30, d. h. in bezug auf einen Ort zwischen der Lage der Emitter-Schicht 54 und der Lage der Emitter-Elektrode 28 innerhalb einer Überlagerungsgenauigkeit der Photolithographie, ein Deckungsfehler auftreten.

In der ersten bis siebenten Ausführungsform ist die Lage der Basis-Schicht 52 und die Lage der Basis-Anschlußelektrode 56 durch die Lage der Emitter-Elektrode 28 bestimmt. Dementsprechend kann es in diesen Ausführungsformen einen Fall geben, in dem die Lage der Basis-Schicht 52 und die Lage der Basis-Anschlußelektrode 56 in bezug auf die Lage der Emitter-Schicht 54 innerhalb der Überlagerungsgenauigkeit der Photolithographie schwanken. Genauer wird die Lage der Emitter-Schicht 54 in bezug auf die Mitte der Basis-Schicht 52 gemäß den in der ersten bis siebenten Ausführungsform beschriebenen Herstellungsverfahren nicht selbstjustierend bestimmt, wobei die Emitter-Schicht 54 an einer Stelle ausgebildet werden kann, die nahe einer Richtung innerhalb der Basis-Anschlußelektrode 56 liegt. Aus diesem Grund muß in der ersten bis siebenten Ausführungsform in bezug auf die Abmessungen der Emitter-Elektrode 28 und der Basis-Schicht 52 ein Spielraum gewährt werden, der einen solchen Versatz in Betracht zieht.

Wie oben erwähnt wurde, besitzt das Herstellungsverfahren gemäß dem Vergleichsbeispiel 1, bei dem die intrinsische Basis-Schicht 110 durch Implantieren von Störstellen in die Öffnung 104 verkörpert wird, einen Vorteil und einen Nachteil. Ähnlich besitzen die in Verbindung mit der ersten bis siebenten Ausführungsform beschriebenen Herstellungsverfahren, bei denen die Dicke der Basis-Schicht 52 durch die Dicke der Si-Epitaxieschicht 58 bestimmt wird, einen Vorteil und einen Nachteil. Die durch diese Herstellungsverfahren erhaltenen Vorteile können gleichzeitig dadurch sichergestellt werden, daß selektiv eine Basis-Schicht nur in der gemäß dem im Vergleichsbeispiel 1 beschriebenen Verfahren durch epitaktisches Wachstum ausgebildeten Öffnung 104 (siehe Fig. 14B) ausgebildet wird.

Das selektive Wachstum einer Basis-Schicht ist in der Praxis jedoch schwierig. Außerdem würde eine Basis-Schicht auf der n-Siliziumschicht 16 ausgebildet, die in diesem Fall durch Ätzen beschädigt worden ist, was zu einem Problem in bezug auf die Filmqualität führt. Dementsprechend ermöglicht eine reine Kombination des Herstellungsverfahrens gemäß dem Vergleichsbeispiel 1 und der Herstellungsverfahren gemäß der ersten bis siebenten Ausführungsform keine selbstjustierende Bestimmung der Lage der Emitter-Elektrode 28 oder Ausbildung der Basis-Schicht 52 unter Verwendung eines epitaktisch gewachsenen Films.

Die achte bis elfte Ausführungsform, die im folgenden beschrieben werden, beziehen sich auf ein Herstellungsverfahren zur Beseitigung des obenbeschriebenen Nachteils, genauer auf ein Herstellungsverfahren zum selbstjustierenden Ausbilden der Emitter-Schicht 54 in der Umgebung der Mitte der Basis-Schicht 52, d. h. der Mitte der Basis-Anschlusses 56, und auf die Ausbildung der Basis-Schicht 52 unter Verwendung eines epitaktisch gewachsenen Films. Anhand der Fig. 16 bis 22 werden im folgenden die achte bis elfte Ausführungsform aufeinanderfolgend beschrieben.

Achte Ausführungsform

Die Fig. 16A bis 18D sind Querschnittsansichten zur Beschreibung eines Verfahrens zur Herstellung von Bipolar-

transistoren gemäß einer achten Ausführungsform der Erfindung. Wie in den Fig. 16A und 16B gezeigt ist, werden über der gesamten Oberfläche des Halbleiterwafers in der angegebenen Reihenfolge die Si-Epitaxieschicht 58 (vom n-Typ), eine SiGe-Epitaxieschicht 60 (vom p-Typ) und eine Si-Epitaxieschicht 62 (vom p-Typ) ausgebildet (Schritte 1 bis 5).

Wie in Fig. 16C gezeigt ist, wird auf der Si-Epitaxieschicht 62 der Oxidfilm 30 abgeschieden (Schritt 6).

Nachfolgend werden auf dem Oxidfilm 30 ein polykristalliner Siliciumfilm 114 und ein Photoresistfilm 116 abgeschieden. Der Photoresistfilm 116 wird in der Weise strukturiert, daß er nur die Fläche bedeckt, auf der eine intrinsische Basis-Schicht ausgebildet werden soll. Im Ergebnis dessen, daß das Halbleitersubstrat unter Verwendung des auf diese Weise strukturierten Photoresistfilms 116 als Maske geätzt wird, wird der polykristalline Siliciumfilm 114 in Form einer intrinsischen Basis-Schicht strukturiert (Schritt 81).

In den auf diese Weise strukturierten polykristallinen Siliciumfilm 114 werden von oben p-Störstellen wie etwa Bor (B) implantiert. Im Ergebnis werden die drei Epitaxieschichten 58, 60 und 62 mit Ausnahme einer Fläche, in der eine intrinsische Basis-Schicht ausgebildet werden soll, mit p-Störstellen dotiert (Schritt 82).

Die Größe des Photoresistfilms 116 wird durch isotropes Ätzen auf eine spezifische Größe, d. h. auf die Abmessung einer auf der Oberfläche einer intrinsischen Basis-Schicht auszubildenden Emitter-Schicht, verringert. Die Größe des polykristallinen Siliciumfilms 114 wird durch anisotropes Ätzen auf eine spezifische Größe, d. h. auf die Abmessung einer auf der Oberfläche der intrinsischen Basis-Schicht auszubildenden Emitter-Schicht, verringert (Schritt 83). Wie in Fig. 16D gezeigt ist, ist der polykristalline Siliciumfilm 114, dessen Größe verringert wurde, mit 114A bezeichnet, während der Photoresistfilm 116, dessen Größe verringert worden ist, mit 116A bezeichnet ist.

Nach Entfernen des Photoresistfilms 116A wird der Halbleiterwafer einer vorgegebenen Wärmebehandlung ausgesetzt, womit die in die drei Epitaxieschichten 58, 60 und 62 implantierten Störstellen (B) diffundieren und somit die in Fig. 17A gezeigte p-Diffusionsschicht 118 ausbilden (Schritt 84).

Auf die gesamte Oberfläche des Halbleiterwafers wird der Photoresist 120 aufgebracht. Dieser wird zurückgeätzt, bis das obere Ende des polykristallinen Siliciumfilms 114A freiliegt (Schritt 85).

Wie in Fig. 17B gezeigt ist, wird der auf der Oberfläche des Photoresists 120 freiliegende polykristalline Film 114A weggeätzt (Schritt 86).

Ferner wird der Oxidfilm 30 unter Verwendung des Photoresists 120 als Maske geätzt, wobei im Ergebnis dessen an einem Ort, an dem eine Emitter-Schicht ausgebildet werden soll, eine Öffnung 122 ausgebildet wird (Schritt 87).

Durch die obenbeschriebene Verarbeitungsoperation wird die Öffnung 122 selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet. Gemäß dem vorliegenden Herstellungsverfahren kann die Öffnung 122 durch die Selbstjustierungstechnik in der Mitte der Basis-Schicht 52 ausgebildet werden. Dementsprechend kann der Deckungsfehler zwischen der Lage der Basis-Schicht 52 und der Lage der Öffnung 122 ausreichend klein gemacht werden.

Wie in Fig. 17C gezeigt ist, wird nach Entfernen des Photoresists 120 auf der gesamten Oberfläche des Halbleiterwafers ein polykristalliner Siliciumfilm 123 abgeschieden (Schritt 88).

In die gesamte Oberfläche des polykristallinen Siliciumfilms 123 werden n-Störstellen wie etwa As implantiert (Schritt 89).

Auf dem mit n-Störstellen dotierten polykristallinen Siliciumfilm 123 wird ein Oxidfilm 124 ausgebildet (Schritt 90).

Der auf dem Oxidfilm 124 ausgebildete Photoresist 126 wird in Form der auszubildenden Emitter-Elektrode 28 strukturiert (Schritt 91).

Wie in Fig. 17D gezeigt ist, werden der Oxidfilm 124 und der polykristalline Siliciumfilm 123 unter Verwendung des Photoresists 126 als Maske geätzt, wodurch die Emitter-Elektrode 28 ausgebildet wird (Schritt 92).

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, wodurch die in der Emitter-Elektrode 28 enthaltenen Störstellen (As) in die unter der Emitter-Elektrode 28 liegende Si-Epitaxieschicht 62 diffundieren. Wie in Fig. 18A gezeigt ist, wird die Emitter-Schicht 54 im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet (Schritt 93).

Nachfolgend werden der Oxidfilm 30 und die Diffusionschicht 118 unter Verwendung des in einer gewünschten Form strukturierten Photoresists 128 als Maske geätzt, wodurch die Basis-Anschlußelektrode 56 ausgebildet wird (Schritt 94).

Über der gesamten Oberfläche des Halbleiterwafers wird ein Oxidfilm abgeschieden. Der Oxidfilm 30, der die Basis-Anschlußelektrode 56 bedeckt, und der Oxidfilm 123, der die Emitter-Elektrode 54 bedeckt, werden zusammen mit dem Oxidfilm weggeätzt. Wie in Fig. 18B gezeigt ist, werden eine Seitenwand 130, die die Seitenfläche der Basis-Anschlußelektrode 56 bedeckt, und eine Seitenwand 132, die die Seitenfläche der Emitter-Elektrode 54 bedeckt, ausgebildet (Schritt 95).

Während des vorstehenden Ätzprozesses wird der Oxidfilm 19, der die n⁺-Kollektor-Anschlußschicht 18 bedeckt, ebenfalls entfernt. Folglich wird am Ende der zum Schritt 95 gehörenden Verarbeitung zusammen mit der Emitter-Elektrode 54 und der Basis-Anschlußelektrode 56 auch die n⁺-Kollektor-Anschlußschicht 18 freigelegt.

Das freiliegende Silicium auf der Oberfläche des Halbleiterwafers wird mit einem Metall mit hohem Schmelzpunkt wie etwa Co oder Ti zur Reaktion gebracht. Wie in Fig. 18C gezeigt ist, wird auf der Oberfläche der Emitter-Elektrode 28 selbstjustierend ein Silicidfilm 134 ausgebildet. Ähnlich wird auf der Oberfläche der Basis-Anschlußelektrode 56 ein Silicidfilm 136 ausgebildet, während auf der Oberfläche der n⁺-Kollektor-Anschlußschicht 18 ein Silicidfilm 138 ausgebildet wird (Schritt 96).

Wie in Fig. 18D gezeigt ist, wird schließlich über der gesamten Oberfläche des Halbleiterwafers der dielektrische Film 32 abgeschieden (Schritt 15). An entsprechenden Stellen werden Kontaktlöcher ausgebildet (Schritt 17), und es werden die Stopfen 34, 36 und 38 und die Metallzwischenverbindungen 40, 42 und 44 ausgebildet (Schritte 18 und 19).

Wie oben erwähnt wurde, ermöglicht das Herstellungsverfahren gemäß der vorliegenden Ausführungsform das Ausbilden der Basis-Schicht 52 aus einem epitaktisch gewachsenen Film. Ferner kann die Emitter-Schicht 54, die kleiner als die Basis-Schicht 52 ist, selbstjustierend im wesentlichen in der Basis-Schicht 52 ausgebildet werden. Gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform ermöglicht die Verwendung eines epitaktisch gewachsenen Films das selbstjustierende Ausbilden der Emitter-Schicht 54 in der Umgebung des Mittelpunkts in der Basis-Anschlußelektrode 56, wobei die Dicke der Basis-Schicht 52 ausreichend klein gemacht wird. In diesem Fall wird die Zeit, während der die Träger durch die Basis-Schicht 52 wandern, verkürzt und die Basis-Kollektor-Kapazität ebenfalls verringert.

Wie zuvor erwähnt wurde, werden in der vorliegenden Ausführungsform auf der Oberfläche der Basis-Anschlußelektrode 56 und auf der Oberfläche der Emitter-Elektrode 28 die Silicidfilme 134, 136 und 138 ausgebildet. In diesem Fall werden der Widerstand eines Basis-Gebiets des Transistors und der Kontaktwiderstand eines Emitter-Gebiets auf ausreichend kleine Werte unterdrückt. Dementsprechend ermöglicht das Herstellungsverfahren gemäß der Erfindung die Realisierung eines Transistors mit einer beträchtlich höheren Hochfrequenzcharakteristik.

Gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform wird der Photoresist 116, der in der Weise ausgebildet wird, daß er eine Fläche bedeckt, in der die Basis-Schicht 52 ausgebildet werden soll, isotrop geätzt, wodurch der Photoresist 116A ausgebildet wird, der eine Fläche bedeckt, in der die Emitter-Schicht 54 ausgebildet werden soll (siehe Fig. 16C' und 16D). In diesem Fall wird der Photoresist 116A unvermeidlich kleiner als der Photoresist 116. Somit kann die Öffnung 122 des Oxidfilms 30 im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet werden, ohne daß eine fortgeschrittene Bearbeitungstechnologie eingesetzt werden muß. Somit ermöglicht das Herstellungsverfahren gemäß der vorliegenden Ausführungsform, einen Anstieg der Herstellungskosten zu vermeiden.

In der achten Ausführungsform wird die Basis-Schicht 52 aus einer SiGe-Epitaxialschicht ausgebildet. Die Erfindung ist jedoch nicht auf eine solche Konfiguration beschränkt. Die Basis-Schicht 52 kann auch aus einer Siliciumepitaxialschicht ausgebildet werden.

Neunte Ausführungsform

Anhand der Fig. 19 und 20 wird nun eine neunte Ausführungsform der Erfindung beschrieben. Wie in Fig. 19A gezeigt ist, werden die drei Epitaxialschichten 58, 60 und 62 durch die gleiche Technik ausgebildet, wie sie in der ersten Ausführungsform verwendet wurde (Schritte 1 bis 5).

Auf der Epitaxialschicht 62 werden ein Nitridfilm 140 und ein Oxidfilm 142 abgeschieden (Schritt 97).

Der Oxidfilm 142 wird in der Weise strukturiert, daß er nur die Fläche bedeckt, in der eine intrinsische Schicht ausgebildet werden soll (Schritt 98).

In diesem Zustand werden in die gesamte Oberfläche des Halbleiterwafers p-Störstellen wie etwa Bor (B) implantiert. Im Ergebnis werden in die drei Epitaxialschichten 58, 60 und 62 mit Ausnahme der Fläche, in der eine intrinsische Schicht ausgebildet werden soll, p-Störstellen implantiert (Schritt 99).

Der Oxidfilm 142 wird durch isotropes Ätzen auf eine vorgegebene Größe, d. h. auf die Größe einer auf der Oberfläche einer intrinsischen Basis-Schicht auszubildenden Emitter-Schicht, verkleinert (Schritt 100). Wie in Fig. 19B gezeigt ist, ist der Oxidfilm 142, dessen Größe verringert worden ist, mit dem Bezugszeichen 142A bezeichnet.

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, im Ergebnis deren die in die drei Epitaxialschichten 58, 60 und 62 implantierten Störstellen (B) diffundieren, wodurch eine p-Diffusionsschicht 118 ausgebildet wird (Schritt 101).

Auf die gesamte Oberfläche des Halbleiterwafers wird der Photoresist 120 aufgebracht und zurückgeätzt, bis das obere Ende des Oxidfilms 142A freiliegt (Schritt 102).

Wie in Fig. 19C gezeigt ist, wird der auf der Oberfläche des Photoresists 120 freiliegende Oxidfilm 142A weggeätzt (Schritt 103).

Ferner wird der Nitridfilm 140 unter Verwendung des Photoresists 120 als Maske geätzt, im Ergebnis dessen an einem Ort, an dem eine Emitter-Schicht ausgebildet werden

soll, die Öffnung 122 ausgebildet wird (Schritt 104).

Durch die obenbeschriebene Verarbeitungsoption wird die Öffnung 122 wie im Fall der achten Ausführungsform selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet. Dementsprechend kann selbst gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform ein Deckungsfehler zwischen der Lage der Basis-Schicht 52 und der Lage der Öffnung 122 ausreichend klein gemacht werden.

Nach Entfernen des Photoresists 120 wird auf der gesamten Oberfläche des Nitridfilms 140 der polykristalline Siliciumfilm 123 abgeschieden (Schritt 105). In die gesamte Oberfläche des Halbleitersubstrats werden n-Störstellen wie etwa As implantiert (Schritt 106).

Auf dem polykristallinen Siliciumfilm 123 wird ein Nitridfilm 144 ausgebildet (Schritt 107).

Wie in Fig. 19D gezeigt ist, werden der Nitridfilm 144 und der polykristalline Film 123 in Form der Emitter-Elektrode 28 geätzt (Schritt 108).

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, wodurch die in der Emitter-Elektrode 28 enthaltenen Störstellen (As) in die unter der Emitter-Elektrode 28 liegende Si-Epitaxialschicht 62 diffundieren. Wie in Fig. 20A gezeigt ist, wird die Emitter-Schicht 54 im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet (Schritt 109).

Nachfolgend werden der Oxidfilm 30 und die Diffusionsschicht 118 unter Verwendung des in einer gewünschten Form strukturierten Photoresists 128 als Maske geätzt, wodurch die Basis-Anschlußelektrode 56 ausgebildet wird (Schritt 110).

Nach Entfernen des Oxidfilms, der die gesamte Oberfläche des Halbleiterwafers bedeckt, werden der Nitridfilm 140, der die Basis-Anschlußelektrode 56 bedeckt, und der Nitridfilm 144, der die Emitter-Elektrode 54 bedeckt, zusammen mit dem Oxidfilm mit der gleichen Rate weggeätzt. Wie in Fig. 20B gezeigt ist, werden die Seitenwand 130, die die Seitenfläche der Basis-Anschlußelektrode 56 bedeckt, und die Seitenwand 132, die die Seitenfläche der Emitter-Elektrode 54 bedeckt, ausgebildet (Schritt 111).

Während des vorstehenden Ätzprozesses wird der Oxidfilm 19, der die n⁺-Kollektor-Anschlußschicht 18 bedeckt, ebenfalls entfernt. Folglich wird am Ende der zum Schritt 95 gehörenden Verarbeitung zusammen mit der Emitter-Elektrode 54 und der Basis-Anschlußelektrode 56 auch die n⁺-Kollektor-Anschlußschicht 18 freigelegt.

Durch eine Verarbeitungsoption, wie sie in Verbindung mit der achten Ausführungsform beschrieben wurde, werden die in Fig. 20C gezeigten Silicidfilme 134, 136 und 138 ausgebildet (Schritt 96). Ferner werden die Metallzwischenverbindungen 40, 42 und 44 ausgebildet (Schritte 15 und 17 bis 19).

Wie oben erwähnt wurde, wird gemäß dem Herstellungsverfahren der neunten Ausführungsform wie im Fall der achten Ausführungsform die Basis-Schicht 52 aus einem epitaktisch gewachsenen Film ausgebildet, wobei die Emitter-Schicht 54 selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet wird. Wie zuvor erwähnt wurde, werden in der vorliegenden Ausführungsform auf der Oberfläche der Basis-Anschlußelektrode 56 und auf der Oberfläche der Emitter-Elektrode 28 die Silicidfilme 134, 136 und 138 ausgebildet. Dementsprechend ermöglicht das Herstellungsverfahren gemäß der vorliegenden Ausführungsform wie im Fall der achten Ausführungsform die Realisierung eines Transistors mit einer beträchtlich höheren Hochfrequenzcharakteristik.

In der neunten Ausführungsform wird die Basis-Schicht 52 aus einer SiGe-Epitaxialschicht ausgebildet. Die Erfin-

dung ist jedoch nicht auf eine solche Konfiguration beschränkt. Die Basis-Schicht 52 kann auch aus einer Siliciumepitaxialschicht ausgebildet werden.

Zehnte Ausführungsform

Anhand der Fig. 21A bis 21D wird nun eine zehnte Ausführungsform der Erfindung beschrieben. Wie in Fig. 21A gezeigt ist, werden die drei Epitaxialschichten 58, 60 und 62 durch die gleiche Technik ausgebildet, wie sie in der ersten Ausführungsform verwendet wurde (Schritte 1 bis 5).

Auf der Epitaxialschicht 62 werden in der angegebenen Reihenfolge der Nitridfilm 140, ein polykristalliner Siliciumfilm 146 und ein Oxidfilm 148 abgeschieden (Schritt 112).

Der polykristalline Siliciumfilm 146 und der Oxidfilm 148 werden in der Weise strukturiert, daß sie nur diejenige Fläche abdecken, in der eine intrinsische Schicht ausgebildet werden soll (Schritt 113).

In diesem Zustand werden in die gesamte Oberfläche des Halbleiterwafers p-Störstellen wie etwa Bor (B) implantiert. Im Ergebnis werden in die drei Epitaxialschichten 58, 60 und 62 mit Ausnahme der Fläche, in der die intrinsische Schicht ausgebildet werden soll, p-Störstellen implantiert (Schritt 114).

Der Oxidfilm 148 wird durch isotropes Ätzen auf eine vorgegebene Größe, d. h. auf die Größe einer auf der Oberfläche einer intrinsischen Basis-Schicht auszubildenden Emitter-Schicht, verkleinert (Schritt 115).

Die Größe des polykristallinen Siliciumfilms 146 wird durch anisotropes Ätzen im wesentlichen auf die gleiche Größe wie die des Oxidfilms 148 verringert (Schritt 116).

Wie in Fig. 21B gezeigt ist, ist der Oxidfilm 148, dessen Größe verringert worden ist, mit dem Bezugszeichen 148A bezeichnet, während der polykristalline Siliciumfilm 146, dessen Größe verringert worden ist, mit dem Bezugszeichen 146A bezeichnet ist.

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, im Ergebnis deren die in die drei Epitaxialschichten 58, 60 und 62 implantierten Störstellen (B) diffundieren, wodurch eine p-Diffusionsschicht 118 ausgebildet wird (Schritt 117).

Auf die gesamte Oberfläche des Halbleiterwafers wird ein Photoresist 120 aufgebracht und zurückgeätzt, bis das obere Ende des Oxidfilms 148A freiliegt (Schritt 118).

Wie in Fig. 21C gezeigt ist, werden der Oxidfilm 148A und der polykristalline Siliciumfilm 146A, die in dem Photoresist 120 verbleiben, weggeätzt (Schritt 119).

Ferner wird der Nitridfilm 140 unter Verwendung des Photoresists 120 als Maske geätzt, im Ergebnis dessen an einem Ort, an dem eine Emitter-Schicht ausgebildet werden soll, die Öffnung 122 ausgebildet wird (Schritt 120).

Durch die obenbeschriebene Verarbeitungsoperation wird die Öffnung 122 wie im Fall der achten oder neunten Ausführungsform selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet. Dementsprechend kann ein Deckungsfehler zwischen der Lage der Basis-Schicht 52 und der Lage der Öffnung 122 selbst gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform ausreichend klein gemacht werden.

Nach Entfernen des Photoresists 120 wird auf der gesamten Oberfläche des Nitridfilms 140 der polykristalline Siliciumfilm 123 abgeschieden (Schritt 105). In die gesamte Oberfläche des Halbleitersubstrats werden n-Störstellen wie etwa As implantiert (Schritt 106).

Auf dem polykristallinen Siliciumfilm 123 wird der Nitridfilm 144 ausgebildet (Schritt 107). Wie in Fig. 21D gezeigt ist, werden der Nitridfilm 144 und der polykristalline

Film 123 in Form der Emitter-Elektrode 28 geätzt (Schritt 108). Es werden die gleichen wie in Verbindung mit der achten oder neunten Ausführungsform beschriebenen Verarbeitungsoperationen ausgeführt, womit die Herstellung eines Bipolartransistors abgeschlossen werden kann.

Wie oben erwähnt wurde, wird die Basis-Schicht 52 gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform wie im Fall der achten oder neunten Ausführungsform aus einem epitaktisch gewachsenen Film ausgebildet, während die Emitter-Schicht 54 selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet wird. Wie zuvor erwähnt wurde, werden die Silicidfilme 134, 136 und 138 in der vorliegenden Ausführungsform auf der Oberfläche der Basis-Anschlußelektrode 56 und auf der Oberfläche der Emitter-Elektrode 28 ausgebildet. Wie im Fall der achten oder neunten Ausführungsform ermöglicht das Herstellungsverfahren der vorliegenden Ausführungsform dementsprechend die Realisierung eines Transistors mit einer beträchtlich höheren Hochfrequenzcharakteristik.

In der achten bis zehnten Ausführungsform, die zuvor beschrieben wurden, wird die zum Implantieren von p-Störstellen in eine Epitaxialschicht verwendete Maske aus einem Mehrschichtfilm ausgebildet, der den polykristallinen Siliciumfilm 114 und den Photoresist 116, den Nitridfilm 142 oder einen Mehrschichtfilm, der den polykristallinen Siliciumfilm 146 und den Oxidfilm 148 enthält, umfaßt. Die Maske ist jedoch nicht auf diese Filme beschränkt. Solange die Maske zum Zeitpunkt des Implantierens der p-Störstellen wirken und den Photoresist 122 mit hoher Selektivität entfernen kann, kann irgendein Maskentyp verwendet werden.

Elfte Ausführungsform

Anhand der Fig. 22A bis 22D wird nun eine elfte Ausführungsform der Erfindung beschrieben. Entsprechend einem Herstellungsverfahren der vorliegenden Ausführungsform werden die Verarbeitungsoperationen bis zu einer Operation zum Implantieren von p-Störstellen, d. h. As, in den polykristallinen Siliciumfilm 123, d. h. die zu den in den Fig. 16A bis 17C gezeigten Schritten 1 bis 6 und 81 bis 89 gehörenden Verarbeitungsoperationen, in der gleichen Weise wie in der achten Ausführungsform ausgeführt.

Wie in Fig. 22A gezeigt ist, werden der polykristalline Siliciumfilm 123 und der Oxidfilm 30 in der vorliegenden Ausführungsform unter Verwendung des Photoresists 126 als Maske in Form der Emitter-Elektrode 28 geätzt (Schritt 121).

Wie im Fall der achten bis zehnten Ausführungsform ermöglichen die vorstehenden Verarbeitungsoperationen die selbstjustierende Ausbildung der Emitter-Elektrode 28 im wesentlichen in der Mitte der Basis-Schicht 52. Dementsprechend kann die Lage der Basis-Schicht 52 selbst gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform genau an die Lage der Emitter-Elektrode 28 angepaßt werden.

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, durch die die in der Emitter-Elektrode 28 enthaltenen Störstellen (As) in die unter der Emitter-Elektrode 28 liegende Si-Epitaxialschicht 62 diffundieren. Wie in Fig. 22B gezeigt ist, wird die Emitter-Schicht 54 im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet (Schritt 122).

Nachfolgend wird die Diffusionsschicht 118 unter Verwendung des in einer gewünschten Form strukturierten Photoresists 128 als Maske geätzt, wodurch die Basis-Anschlußelektrode 56 ausgebildet wird (Schritt 123).

Nach Entfernen des Photoresists 128 wird auf der gesam-

ten Oberfläche des Halbleiterwafers ein Oxidfilm abgeschieden. Der Oxidfilm wird geätzt, bis die Emitter-Elektrode 28 und die Basis-Anschlußelektrode 56 freiliegen. Wie in Fig. 22C gezeigt ist, werden im Ergebnis die Seitenwand 130, die die Seitenfläche der Basis-Anschlußelektrode 56 bedeckt, und die Seitenwand 132, die die Seitenfläche der Emitter-Elektrode 54 bedeckt, ausgebildet (Schritt 123).

Während des vorstehenden Ätzprozesses wird der Oxidfilm 19, der die n^+ -Kollektor-Anschlußschicht 18 bedeckt, ebenfalls entfernt. Folglich liegt am Ende der zum Schritt 123 gehörenden Verarbeitung die n^+ -Kollektor-Anschlußschicht 18 zusammen mit der Emitter-Elektrode 54 und der Basis-Anschlußelektrode 56 ebenfalls frei.

Wie in Fig. 22D gezeigt ist, wird der Silicidfilm 134 wie im Fall der achten Ausführungsform selbstjustierend auf der Oberfläche der Emitter-Elektrode 28 ausgebildet. Ähnlich wird der Silicidfilm 136 auf der Oberfläche der Basis-Anschlußelektrode 56 ausgebildet, während der Silicidfilm 138 auf der Oberfläche der n^+ -Kollektor-Anschlußschicht 18 ausgebildet wird (Schritt 96). Nachfolgend wird die gleiche Verarbeitungsoperation wie in der achten Ausführungsform ausgeführt, womit die Herstellung eines Bipolartransistors abgeschlossen ist.

Wie oben erwähnt wurde, wird die Basis-Schicht 52 wie im Fall der achten bis zehnten Ausführungsform gemäß dem Herstellungsverfahren der elften Ausführungsform aus einem epitaktisch gewachsenen Film ausgebildet, während die Emitter-Schicht 54 selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet wird. Wie zuvor erwähnt wurde, werden in der vorliegenden Ausführungsform auf der Oberfläche der Basis-Anschlußelektrode 56 und auf der Oberfläche der Emitter-Elektrode 28 die Silicidfilme 134, 136 und 138 ausgebildet. Dementsprechend ermöglicht das Herstellungsverfahren gemäß der vorliegenden Ausführungsform wie im Fall der achten bis zehnten Ausführungsform die Realisierung eines Transistors mit einer beträchtlich höheren Hochfrequenzcharakteristik.

Das Herstellungsverfahren gemäß der vorliegenden Ausführungsform ermöglicht, einen Prozeß des Abscheidens des Oxidfilms 124 auf der Emitter-Elektrode 28 (d. h. den Schritt 90 in der achten Ausführungsform) und einen Prozeß zum Abscheiden des Nitridfilms 144 auf der Emitter-Elektrode 28 (d. h. den Schritt 107 in der neunten oder zehnten Ausführungsform) wegzulassen. Somit kann die vorliegende Ausführungsform die Prozesse zur Herstellung von Bipolartransistoren im Vergleich zur achten bis zehnten Ausführungsform erleichtern.

In der elften Ausführungsform wird der Oxidfilm 30 im Schritt 121 geätzt, bis die Diffusionsschicht 118 freigelegt ist. Alternativ kann im Schritt 121 ein kleiner Betrag des Oxidfilms 30 an der Oberfläche der Diffusionsschicht 118 zurückgelassen werden. In diesem Fall kann der restliche Oxidfilm 30 zum Zeitpunkt einer Ätzoperation zum Ausbilden der Seitenwand 130 im Schritt 123 entfernt werden. Im Gegensatz zu dem Fall, in dem die Diffusionsschicht 118 im Schritt 121 freigelegt wird, kann in dem Herstellungsverfahren gemäß der vorliegenden Ausführungsform der Betrag, in dem die Diffusionsschicht 118 überätzt wird, verringert werden.

Zwölfte Ausführungsform

Anhand der Fig. 23A bis 23D wird nun eine zwölfte Ausführungsform der Erfindung beschrieben. Wie in Fig. 23A gezeigt ist, werden die drei Epitaxieschichten 58, 60 und 62 gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform durch die gleiche Technik, wie sie in der ersten Ausführungsform verwendet wurde, ausgebildet

(Schritte 1 bis 5).

Auf der Epitaxieschicht 62 werden in der angegebenen Reihenfolge der Oxidfilm 30, ein erster polykristalliner Siliciumfilm 149 und der Oxidfilm 150 abgeschieden (Schritt 124).

Von diesen Filmen wird der Oxidfilm 150 in der Weise strukturiert, daß er nur die Fläche, in der eine intrinsische Basis-Schicht ausgebildet werden soll, abdeckt (Schritt 125).

In diesem Zustand werden in die gesamte Oberfläche des Halbleiterwafers p-Störstellen wie etwa Bor (B) implantiert. Im Ergebnis werden in die drei Epitaxieschichten 58, 60 und 62 mit Ausnahme der Fläche, in der eine intrinsische Basis-Schicht ausgebildet werden soll, p-Störstellen implantiert (Schritt 126).

Die Größe des Oxidfilms 150 wird durch isotropes Ätzen auf eine spezifische Größe, d. h. auf die Abmessung einer auf der Oberfläche einer intrinsischen Basis-Schicht auszubildenden Emitter-Schicht, verringert (Schritt 127). Wie in Fig. 23B gezeigt ist, ist der Oxidfilm 150, dessen Größe verringert wurde, mit 150A bezeichnet.

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, wodurch die in den drei Epitaxieschichten 58, 60 und 62 enthaltenen Störstellen (B) diffundieren und somit die p-Diffusionsschicht 118 ausbilden (Schritt 128).

Auf der gesamten Oberfläche des Halbleiterwafers wird der Photoresist 120 aufgebracht. Dieser wird zurückgeätzt, bis das obere Ende des polykristallinen Siliciumfilms 114A freiliegt (Schritt 129).

Wie in Fig. 23C gezeigt ist, wird der Oxidfilm 150A, der in dem Photoresist 120 verbleibt, weggeätzt (Schritt 130).

Ferner werden der erste polykristalline Siliciumfilm 149 und der Oxidfilm 30 unter Verwendung des Photoresists 120 als Maske geätzt, wobei im Ergebnis dessen an einem Ort, an dem eine Emitter-Schicht ausgebildet werden soll, die Öffnung 122 ausgebildet wird (Schritt 131).

Wie im Fall der achten bis zehnten Ausführungsform wird die Öffnung 122 durch die obenbeschriebene Verarbeitungsoperation selbstjustierend im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet. Dementsprechend kann selbst gemäß dem Herstellungsverfahren der vorliegenden Ausführungsform der Deckungsfehler zwischen der Lage der Basis-Schicht 52 und der Lage der Öffnung 122 ausreichend klein gemacht werden.

Nach Entfernen des Photoresists 120 wird auf dem polykristallinen Siliciumfilm 149 (d. h. auf einem ersten polykristallinen Siliciumfilm) der polykristalline Siliciumfilm 123 (d. h. ein zweiter polykristalliner Siliciumfilm) abgeschieden, und es werden in das Halbleitersubstrat n-Störstellen wie etwa As implantiert (Schritt 132).

Der Halbleiterwafer wird einer vorgegebenen Wärmebehandlung ausgesetzt, wodurch die in dem zweiten polykristallinen Siliciumfilm 123 enthaltenen Störstellen (As) in die unter dem zweiten polykristallinen Siliciumfilm 123 liegende Si-Epitaxieschicht 62 diffundieren. Daraufhin wird die Emitter-Schicht 54 im wesentlichen in der Mitte der Basis-Schicht 52 ausgebildet (Schritt 133).

Der zweite polykristalline Siliciumfilm 123, der erste polykristalline Siliciumfilm 149 und der Oxidfilm 30 werden unter Verwendung des Photoresists als Maske in Form der Emitter-Elektrode 28 geätzt (Schritt 134). Es wird die gleiche Verarbeitungsoperation wie in der elften Ausführungsform ausgeführt, womit die Herstellung eines Bipolartransistors abgeschlossen ist.

Gemäß dem Herstellungsverfahren der elften Ausführungsform kann eine erste Maske, die eine verringerte Größe haben muß, aus weniger Materialien als in der zehnten

ten Ausführungsform ausgebildet werden. Genauer kann die erste Maske aus nur einem Materialtyp ausgebildet werden. Im Gegensatz zu einem Fall, in dem eine aus mehreren Materialien ausgebildete erste Maske geätzt wird, wird eine nur aus einem Materialtyp ausgebildete erste Maske leichter geätzt. Dementsprechend kann das Herstellungsverfahren der vorliegenden Ausführungsform die Prozesse zur Herstellung eines Transistors im Vergleich zu dem Herstellungsverfahren der zehnten Ausführungsform erleichtern.

Die Hauptvorteile der Erfindung werden wie folgt zusammengefaßt:

Gemäß dem ersten Aspekt der Erfindung wird ein IIBT realisiert, der mit einfachen Schritten hergestellt werden kann.

Gemäß dem zweiten Aspekt der Erfindung kann der Betrag des zum Ausbilden von Kontaktlöchern für ein Kollektor-Gebiet, ein Basis-Gebiet und ein Emitter-Gebiet erforderlichen Überätzens verringert werden, da die Oberfläche einer Kollektor-Anschlußschicht mit einer Kollektor-Elektrode bedeckt ist. Somit stabilisiert die Erfindung die Qualität eines IIBTs.

Gemäß dem dritten Aspekt der Erfindung wird sowohl auf der Oberfläche einer Emitter-Elektrode als auch auf den Oberflächen der Basis-Anschlußelektroden eine Silicidschicht ausgebildet. Somit ermöglicht die Erfindung eine ausreichende Verringerung des Widerstands des Basis-Gebiets des IIBTs und des Widerstands der Zwischenverbindungen.

Gemäß dem vierten Aspekt der Erfindung wird für die Störstellenkonzentration eines ersten Typs einer epitaktischen Siliciumschicht ein Profil angenommen, bei dem die Konzentration in der Umgebung eines Grenzgebiets zwischen der epitaktischen Siliciumschicht des ersten Typs und einer SiGe-Epitaxieschicht eines zweiten Typs hoch wird, während sie in der Umgebung eines Grenzgebiets zwischen der Siliciumepitaxieschicht des ersten Typs und einer ersten Siliciumschicht niedriger wird. Genauer enthält eine Sub-Kollektorschicht in der Umgebung eines Grenzgebiets zwischen der Sub-Kollektorschicht und der Basis-Schicht eine hohe Konzentration erster Störstellen, während sie in der Umgebung eines Grenzgebiets zwischen der Sub-Kollektorschicht auf dem Siliciumsubstrat eine niedrige Konzentration erster Störstellen enthält. Somit stellt die Erfindung eine hohe Durchbruchsspannung sicher, während sie das Auftreten eines Basis-Verbreiterungseffekts, der andernfalls beim Hochfrequenzbetrieb des IIBTs verursacht würde, verhindert.

Gemäß dem fünften Aspekt der Erfindung kann ein IIBT mit einer auf einer Siliciumepitaxieschicht beruhenden Emitter-Schicht und mit einer auf einer SiGe-Epitaxieschicht beruhenden Basis-Schicht durch einfache Herstellungsschritte hergestellt werden.

Gemäß dem sechsten Aspekt der Erfindung können dem Kollektor, der Basis und dem Emitter entsprechende Kontaktlöcher ausgebildet werden, obgleich die Oberfläche der Kollektor-Anschlußschicht mit einer Kollektor-Elektrode beschichtet ist. Somit ermöglicht die Erfindung die Herstellung eines IIBTs mit einer stabilen Qualität.

Gemäß dem siebenten Aspekt der Erfindung werden auf der Emitter-Elektrode und auf der Siliciumepitaxieschicht des zweiten Typs Oxidfilme mit im wesentlichen der gleichen Dicke ausgebildet, bevor diese durch anisotropes Ätzen entfernt werden. In diesem Fall kann eine Seitenwand auf einer Seitenfläche der Emitter-Elektrode ohne übermäßiges Überätzen der Oberfläche der Emitter-Elektrode und der Siliciumepitaxieschicht des zweiten Typs ausgebildet werden. Ferner kann gemäß der Erfindung unter Verwendung der Seitenwand und ohne Auftreten eines Kurzschlusses da-

zwischen eine Siliciumschicht auf der Oberfläche der Emitter-Elektrode sowie auf der Oberfläche der Siliciumepitaxieschicht des zweiten Typs ausgebildet werden. Dementsprechend ermöglicht die Erfindung die leichte Herstellung eines IIBTs mit einem niedrigen Widerstand des Basis-Gebiets und mit einem niedrigen Widerstand der Zwischenverbindungen mit einer hohen Ausbeute.

Gemäß dem achten Aspekt der Erfindung kann durch einfache Schritte ein IIBT mit einer Sub-Kollektor-Schicht, die mit ersten Störstellen mit einem Profil dotiert ist, das in der Umgebung eines Grenzgebiets zwischen der Sub-Kollektor-Schicht und der Basis-Schicht eine hohe Konzentration aufweist, während es in der Umgebung einer Grenzfläche zwischen der Sub-Kollektor-Schicht und dem Siliciumsubstrat eine niedrige Konzentration aufweist, leicht ausgebildet werden. Die Erfindung ermöglicht die Herstellung eines IIBTs mit einer hohen Durchbruchsspannung, bei dem der andernfalls beim Hochfrequenzbetrieb des IIBTs hervorgerufene Basisverbreiterungseffekt mit einfachen Schritten vermieden werden kann.

Gemäß dem neunten Aspekt der Erfindung wird die Größe einer ersten Maske nach Implantieren von Störstellen eines ersten Leitfähigkeitstyps in eine erste leitende Schicht verringert. Daraufhin werden in die erste leitende Schicht durch eine Öffnung von der Größe der verkleinerten ersten Maske Störstellen eines zweiten Leitfähigkeitstyps eingeführt. In einem solchen Fall werden die Störstellen des zweiten Leitfähigkeitstyps immer in eine Fläche fast in der Mitte des Gebiets, in das keine Störstellen des ersten Leitfähigkeitstyps implantiert werden, eingeführt. Somit wird bei der Erfindung in der Umgebung der Mitte einer intrinsischen Basis-Schicht selbstjustierend eine Emitter-Schicht ausgebildet.

Gemäß dem zehnten Aspekt der Erfindung diffundieren Störstellen aus der zweiten leitenden Schicht durch die Öffnung in die erste leitende Schicht. Somit werden die Störstellen in einen direkt unter der Öffnung liegenden Teil der ersten leitenden Schicht implantiert.

Vorzugsweise kann auf der Oberfläche der ersten leitenden Schicht und auf der Oberfläche der zweiten leitenden Schicht eine Silicidschicht ausgebildet werden. Gemäß der Erfindung kann auf der Basis der ersten leitenden Schicht, der zweiten leitenden Schicht und einer darauf ausgebildeten Silicidschicht eine Elektrode mit einem kleinen Widerstand oder eine Zwischenverbindungskonstruktion verkörpert werden.

Vorzugsweise kann als erste leitende Schicht ein aus einer Si-Epitaxieschicht, einer SiGe-Epitaxieschicht und einer Si-Epitaxieschicht ausgebildeter Mehrschichtfilm verwendet werden. In diesem Fall wird die SiGe-Epitaxieschicht als Basischicht verwendet, während eine auf die SiGe-Epitaxieschicht gelegte Si-Epitaxieschicht als Emitter-Schicht verwendet wird. Somit kann die Dicke der jeweiligen Schichten leicht und genau gesteuert werden.

Da das Material des ersten Isolierfilms und das Material der ersten Maske geeignet kombiniert werden, können eine Ätzoperation zum Strukturieren oder Verkleinern der ersten Maske oder eine Ätzoperation zum Ausbilden einer Öffnung in der ersten Maske geeignet ausgeführt werden.

Gemäß einem weiteren Aspekt der Erfindung kann eine gewünschte Verarbeitungsoperation unter Verwendung eines Photoresists als zweite Maske leicht realisiert werden.

Vorzugsweise kann der zweite leitende Film leicht als Sperre zum Verhindern des Ätzens der ersten Maske und als Teil einer Emitter-Elektrode verwendet werden. Gemäß der Erfindung kann eine Ätzoperation zum Strukturieren oder Verkleinern des Materials der ersten Maske erleichtert werden.

Ferner ist die Erfindung nicht auf diese Ausführungsformen beschränkt, sondern es können Veränderungen und Abwandlungen vorgenommen werden, ohne vom Umfang der Erfindung abzuweichen.

Die gesamten Offenbarungen der japanischen Patentanmeldung Nr. 2000-2429, eingereicht am 11. Januar 2000, sowie der japanischen Patentanmeldung Nr. 2000-182809, eingereicht am 19.

Juni 2000, sind hier jeweils in ihrer Gesamtheit einschließlich der Beschreibung, der Ansprüche, der Zeichnung und der Zusammenfassung als Literaturhinweis eingefügt.

Patentansprüche

1. Bipolartransistor, mit:
einer Siliciumschicht (16) eines ersten Typs, die auf der Oberfläche eines Siliciumsubstrats (10) in der Weise ausgebildet ist, daß sie Störstellen eines ersten Leitfähigkeitstyps enthält;
einer Siliciumepitaxialschicht (58) des ersten Typs, die auf der Siliciumschicht (16) des ersten Typs in der Weise ausgebildet ist, daß sie Störstellen des ersten Leitfähigkeitstyps enthält;
einer SiGe-Epitaxialschicht (60) eines zweiten Typs, die Störstellen eines zweiten Leitfähigkeitstyps mit einer ersten Konzentration enthält, wobei sie auf der Siliciumepitaxialschicht (58) des ersten Typs in der Weise ausgebildet ist, daß sie Germanium mit einem vorgegebenen Konzentrationsprofil enthält; und
einer Siliciumepitaxialschicht (62) des zweiten Typs, die auf der SiGe-Epitaxialschicht (60) des zweiten Typs in der Weise ausgebildet ist, daß sie Störstellen des zweiten Leitfähigkeitstyps mit einer zweiten Konzentration enthält, die niedriger als die erste Konzentration ist, wobei
der Germaniumgehalt in der SiGe-Epitaxialschicht (60) des zweiten Typs in der Umgebung eines Grenzgebiets zwischen der SiGe-Epitaxialschicht (60) des zweiten Typs und der Siliciumepitaxialschicht (58) des ersten Typs höher als in einem Grenzgebiet zwischen der SiGe-Epitaxialschicht (60) des zweiten Typs und der Siliciumepitaxialschicht (62) des zweiten Typs ist.
2. Bipolartransistor nach Anspruch 1, gekennzeichnet durch
eine Emittier-Elektrode (28), die aus polykristallinem Silicium hergestellt ist, das einen vorgegebenen Teil der Dreischichtepitaxialschichten (58, 60, 62) bedeckt; wobei
der Teil der Siliciumepitaxialschicht (62) des zweiten Typs, der mit der Emittier-Elektrode (28) bedeckt ist, einer Emittier-Schicht (54) entspricht, die auf einen Halbleiter des ersten Leitfähigkeitstyps eingestellt ist;
der Teil der zweiten SiGe-Epitaxialschicht (60), der mit der Emittier-Schicht (54) in Kontakt bleibt, einer Basis-Schicht (52) entspricht, die auf einen Halbleiter des zweiten Leitfähigkeitstyps eingestellt ist,
der Teil der Siliciumepitaxialschicht (58) des ersten Typs, der mit der Basis-Schicht (52) in Kontakt bleibt, einem Sub-Kollektor-Gebiet (50) entspricht, das auf einen Halbleiter des ersten Leitfähigkeitstyps eingestellt ist; und
die Teile der Dreischichtepitaxialschichten (58, 60, 62), die nicht mit der Emittier-Elektrode (28) bedeckt sind, Basis-Anschlußelektroden (56) entsprechen, die auf einen Halbleiter des zweiten Leitfähigkeitstyps eingestellt sind.
3. Bipolartransistor nach Anspruch 2, gekennzeichnet

- durch
eine Kollektor-Anschlußschicht (18), die in der Fläche der Siliciumschicht (16, 18) des ersten Leitfähigkeitstyps ausgebildet ist, die nicht mit den Basis-Anschlußelektroden (56) bedeckt ist;
eine Kollektor-Elektrode (70), die auf der Kollektor-Anschlußschicht (18) ausgebildet ist;
einen Isolierfilm (32), der auf der Emittier-Elektrode (28), auf der Basis-Anschlußelektrode (56) und auf der Kollektor-Elektrode (70) ausgebildet ist; und
leitende Stöpten (36, 38, 34), die in dem Isolierfilm (32) in der Weise ausgebildet sind, daß sie mit der Emittier-Elektrode (28), mit der Basis-Anschlußelektrode (56) bzw. mit der Kollektor-Elektrode (70) in Kontakt stehen.
4. Bipolartransistor nach Anspruch 2, gekennzeichnet durch eine Silicidschicht (74, 76), die auf der Oberfläche der Emittier-Elektrode (28) sowie auf den Oberflächen der Basis-Anschlußelektroden (56) vorgesehen ist.
 5. Bipolartransistor nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß die Konzentration der Störstellen des ersten Typs in der Siliciumepitaxialschicht (58) des ersten Typs in der Umgebung eines Grenzgebiets zwischen der Siliciumepitaxialschicht (58) des ersten Typs und der SiGe-Epitaxialschicht (60) des zweiten Typs höher als in einem Grenzgebiet zwischen der Siliciumepitaxialschicht (58) des ersten Typs und der Siliciumschicht (16) des ersten Typs wird.
 6. Verfahren zur Herstellung von Bipolartransistoren, das die folgenden Schritte umfaßt:
Ausbilden einer Siliciumschicht (16, 18) eines ersten Typs, die Störstellen eines ersten Leitfähigkeitstyps enthält, auf der Oberfläche eines Siliciumsubstrats (10);
Ausbilden einer Siliciumepitaxialschicht (58) des ersten Typs auf der Siliciumschicht (16) des ersten Typs in der Weise, daß sie Störstellen des ersten Leitfähigkeitstyps enthält;
Ausbilden einer SiGe-Epitaxialschicht (60) eines zweiten Typs auf der Siliciumepitaxialschicht (58) des ersten Typs in der Weise, daß sie Störstellen eines zweiten Leitfähigkeitstyps mit einer ersten Konzentration und Germanium mit einem vorgegebenen Konzentrationsprofil enthält;
Ausbilden einer Siliciumepitaxialschicht (62) des zweiten Typs auf der SiGe-Epitaxialschicht (60) des zweiten Typs in der Weise, daß sie Störstellen des zweiten Leitfähigkeitstyps mit einer zweiten Konzentration enthält, die niedriger als die erste Konzentration ist, wobei der Germaniumgehalt in der SiGe-Epitaxialschicht (60) des zweiten Typs in der Umgebung eines Grenzgebiets zwischen der SiGe-Epitaxialschicht (60) des zweiten Typs und der Siliciumepitaxialschicht (58) des ersten Typs höher als in einem Grenzgebiet zwischen der Siliciumepitaxialschicht (62) des zweiten Typs und der SiGe-Epitaxialschicht (60) des zweiten Typs ist;
Ausbilden eines Oxidfilms (30) auf der Siliciumepitaxialschicht (62) des zweiten Typs in der Weise, daß sie an vorgegebenen Stellen eine Öffnung (122) besitzt;
Ausbilden einer Emittier-Elektrode (28), die Störstellen des ersten Leitfähigkeitstyps enthält, aus polykristallinem oder amorphem Silicium in der Weise, daß sie mit der Siliciumepitaxialschicht (62) des zweiten Typs über die Öffnung (122) in Kontakt steht;
Implantieren von Störstellen des zweiten Leitfähigkeitstyps in die Teile der Dreischichtepitaxialschichten (58, 60, 62), die nicht mit der Emittier-Elektrode (28)

bedeckt sind;

Strukturieren der Dreischichtepitaxieschichten (58, 60, 62) in Form von Basis-Anschlußelektroden (56); und Beaufschlagen eines Wafers mit einer Wärmebehandlung in der Weise, daß die in der Emittier-Elektrode (28) enthaltenen Störstellen des ersten Leitfähigkeitstyps in die Siliciumepitaxieschicht (62) des zweiten Leitfähigkeitstyps diffundieren, wodurch eine Emittier-Schicht (54) ausgebildet wird, die auf einen Halbleiter des ersten Leitfähigkeitstyps eingestellt ist, und wodurch die in die Dreischichtepitaxieschichten (58, 60, 62) implantierten Störstellen des zweiten Leitfähigkeitstyps in der Weise aktiviert werden, daß dadurch die Basis-Anschlußelektroden (56) ausgebildet werden.

7. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 6, dadurch gekennzeichnet, daß die zu dem Schritt des Ausbildens eines Oxidfilms (30) gehörende Verarbeitung ausgeführt wird, nachdem die Dreischichtepitaxieschichten (58, 60, 62) in Form von Basis-Anschlußelektroden (56) strukturiert worden sind.

8. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 6, dadurch gekennzeichnet, daß die zu dem Schritt des Ausbildens eines Oxidfilms (30) gehörende Verarbeitung ausgeführt wird, bevor die Dreischichtepitaxieschichten (58, 60, 62) in Form von Basis-Anschlußelektroden (56) strukturiert worden sind.

9. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 6, gekennzeichnet durch die folgenden Schritte:

Ausbilden einer Kollektor-Anschlußschicht (18) in einem Teil der Siliciumschicht (16, 18) des ersten Typs, der nicht mit der Basis-Anschlußelektrode (56) bedeckt ist;

Ausbilden einer Kollektor-Elektrode (70) auf der Kollektor-Anschlußschicht (18)

Ausbilden eines Isolierfilms (32) auf der Emittier-Elektrode (28), auf der Basis-Anschlußelektrode (56) und auf der Kollektor-Elektrode (70);

Ausbilden von Kontaktlöchern in dem Isolierfilm (32), die zu der Emittier-Elektrode (28), zu der Basis-Anschlußelektrode (56) bzw. zu der Kollektor-Elektrode (70) geöffnet sind; und

Ausbilden eines leitenden Stopfens (36, 38, 34) in jedem der Kontaktlöcher.

10. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 6, gekennzeichnet durch die folgenden Schritte:

Ausbilden eines zweiten Oxidfilms (84) mit der gleichen Form wie die Emittier-Elektrode (28) auf der Emittier-Elektrode (28);

Ausbilden eines dritten Oxidfilms (86) nach dem Ausbilden des zweiten Oxidfilms (84) in der Weise, daß er den zweiten Oxidfilm (84) und den Oxidfilm (30), mit dem die Siliciumepitaxieschicht (62) des zweiten Typs beschichtet ist, bedeckt, nach dem Ausbilden des zweiten Oxidfilms (84);

anisotropes Ätzen des Oxidfilms (30), des zweiten Oxidfilms (84) und des dritten Oxidfilms (86), bis die Emittier-Elektrode (28) und die Siliciumepitaxieschicht (62) des zweiten Leitfähigkeitstyps freigelegt werden, und

Ausbilden einer Silicidschicht (74, 76) auf der freiliegenden Oberfläche der Emittier-Elektrode (28) sowie auf der freiliegenden Oberfläche der Siliciumepitaxieschicht (62) des zweiten Leitfähigkeitstyps.

11. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 6, dadurch gekennzeichnet, daß die Konzentration der Störstellen des ersten Leitfähigkeits-

typs in der Siliciumepitaxieschicht (58) des ersten Leitfähigkeitstyps in der Umgebung eines Grenzgebiets zwischen der Siliciumepitaxieschicht (58) des ersten Typs und der SiGe-Epitaxieschicht (60) des zweiten Typs höher als in einem Grenzgebiet zwischen der Siliciumepitaxieschicht (58) des ersten Typs und der Siliciumschicht (16) des ersten Typs wird.

12. Verfahren zur Herstellung von Bipolartransistoren, das die folgenden Schritte umfaßt:

Ausbilden einer ersten leitenden Schicht (58, 60, 62) und einer ersten Isolierschicht (30; 140), die sich überlappen, auf einem Halbleitersubstrat (10);

Strukturieren einer ersten Maske (114, 116; 142; 146, 148; 150) auf der ersten Isolierschicht (30; 140);

Implantieren von Störstellen eines ersten Leitfähigkeitstyps in die erste Isolierschicht (30; 140) unter Verwendung der ersten Maske (114, 116; 142; 146, 148; 150);

Verkleinern der ersten Maske (114, 116; 142; 146, 148; 150);

Ausbilden einer zweiten Maske (120) in der Weise, daß sie die gesamte Oberfläche der ersten Isolierschicht (30; 140) mit Ausnahme einer von der verkleinerten ersten Maske (114A, 116A; 142A; 146A, 148A; 150A) bedeckten Fläche bedeckt;

Entfernen der ersten Maske (114A, 116A; 142A; 146A, 148A; 150A);

Ausbilden einer Öffnung (122) in der ersten Isolierschicht (30; 140) durch Entfernen der mit der verkleinerten ersten Maske (114A, 116A; 142A; 146A, 148A; 150A) beschichteten Fläche; und

Einführen von Störstellen eines zweiten Leitfähigkeitstyps in einen freiliegenden Teil der ersten leitenden Schicht (58, 60, 62) in der Öffnung (122).

13. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 12, dadurch gekennzeichnet, daß der Schritt des Einführens von Störstellen eines zweiten Leitfähigkeitstyps die folgenden Teilschritte umfaßt:

Ausbilden einer zweiten leitenden Schicht (123), die über die Öffnung (122) mit der ersten leitenden Schicht (58, 60, 62) in Kontakt steht und Störstellen des zweiten Leitfähigkeitstyps enthält; und

Diffundieren der Störstellen des zweiten Leitfähigkeitstyps aus der zweiten leitenden Schicht (123) in die erste leitende Schicht (58, 60, 62).

14. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 13, gekennzeichnet durch einen Schritt des Ausbildens eines Silicidfilms (134, 136) auf der Oberfläche der ersten leitenden Schicht (58, 60, 62) und auf der Oberfläche der zweiten leitenden Schicht (123).

15. Verfahren zur Herstellung von Bipolartransistoren nach einem der Ansprüche 12 bis 14, dadurch gekennzeichnet, daß die erste leitende Schicht (58, 60, 62) einer aus einer Si-Epitaxieschicht (58), einer SiGe-Epitaxieschicht (60) und einer Si-Epitaxieschicht (62) ausgebildeten Mehrschicht-Schicht entspricht.

16. Verfahren zur Herstellung von Bipolartransistoren nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, daß die erste Isolierschicht (30; 140) einem Siliciumoxidfilm (30) entspricht, während die erste Maske (114, 116; 142; 146, 148; 150) einem Siliciumfilm (114) entspricht.

17. Verfahren zur Herstellung von Bipolartransistoren nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, daß die erste Isolierschicht (30; 140) einem Siliciumnitridfilm (140) entspricht, während die erste Maske (114, 116; 142; 146, 148; 150) einem Silicium-

oxidfilm (142) entspricht.

18. Verfahren zur Herstellung von Bipolartransistoren nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, daß die erste Isolierschicht (30; 140) einem Siliciumnitridfilm (140) entspricht, während die erste Maske (114, 116; 142; 146, 148; 150) einem Mehrschichtfilm entspricht, der einen Siliciumoxidfilm (148) und einen Siliciumfilm (146) enthält.

19. Verfahren zur Herstellung von Bipolartransistoren nach einem der Ansprüche 12 bis 18, dadurch gekennzeichnet, daß die zweite Maske (120) einem Photore-sistfilm entspricht.

20. Verfahren zur Herstellung von Bipolartransistoren nach Anspruch 12, dadurch gekennzeichnet, daß auf der ersten Isolierschicht (30) vor dem Ausbilden der ersten Maske (150) eine zweite leitende Schicht (149) ausgebildet wird;

die erste Maske (150) auf der zweiten leitenden Schicht (149) ausgebildet wird; und
durch Entfernen der mit der verkleinerten ersten Maske (150A) beschichteten Fläche in der ersten Isolierschicht (30) und in der zweiten leitenden Schicht (149) eine Öffnung (122) ausgebildet wird.

Hierzu 23 Seite(n) Zeichnungen

25

30

35

40

45

50

55

60

65

- Leerseite -

Fig.2A

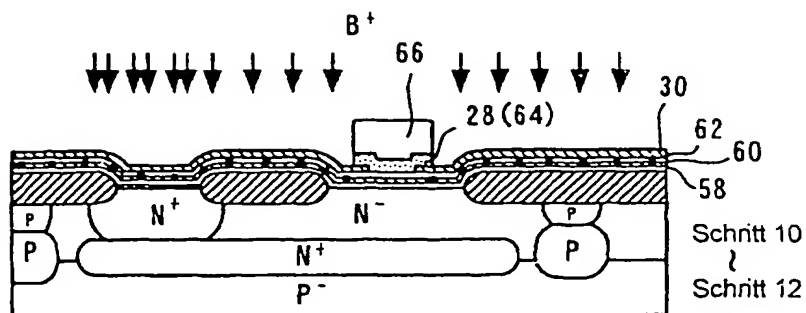


Fig.2B

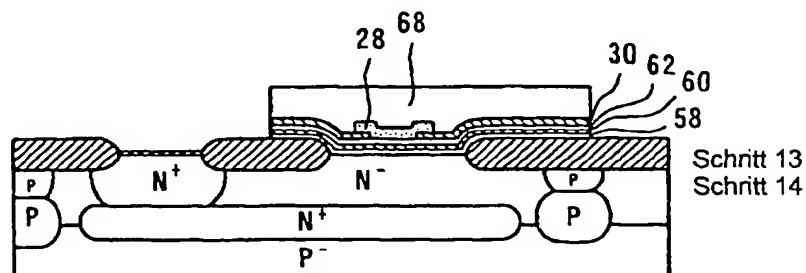


Fig.2C

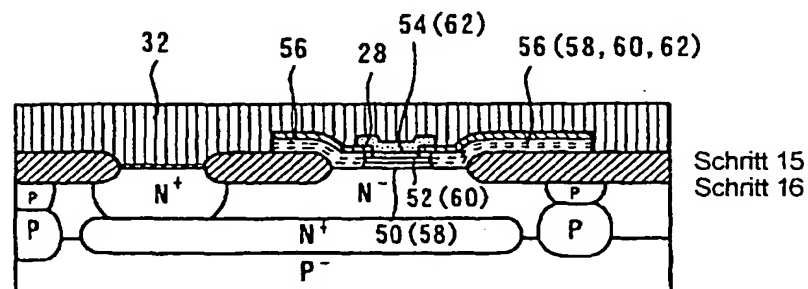


Fig.2D

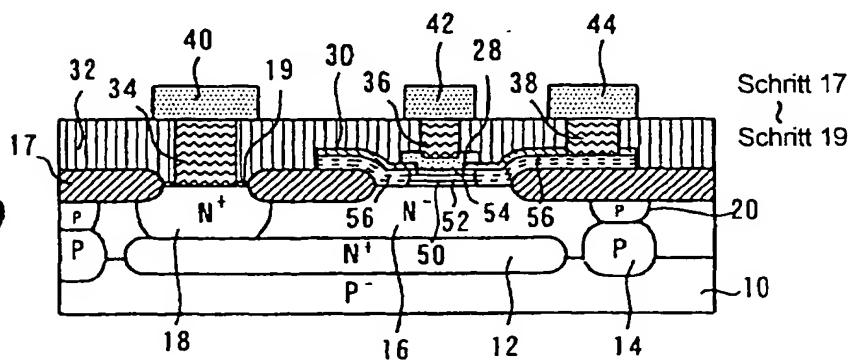


Fig.3

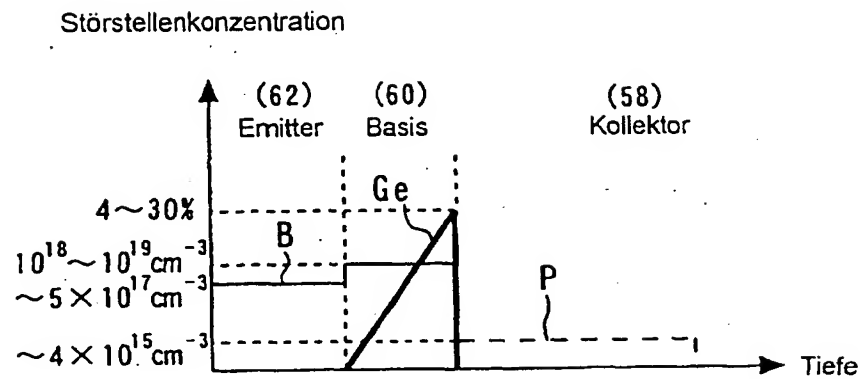


Fig.4A

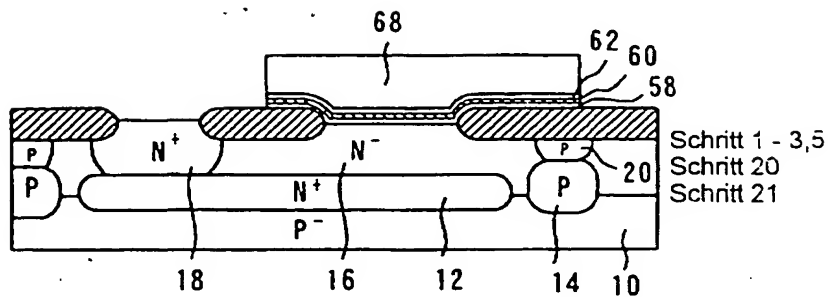


Fig.4B

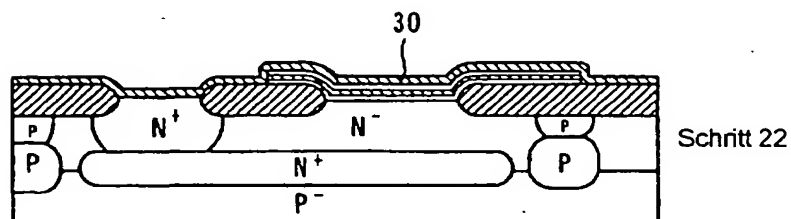


Fig.4C

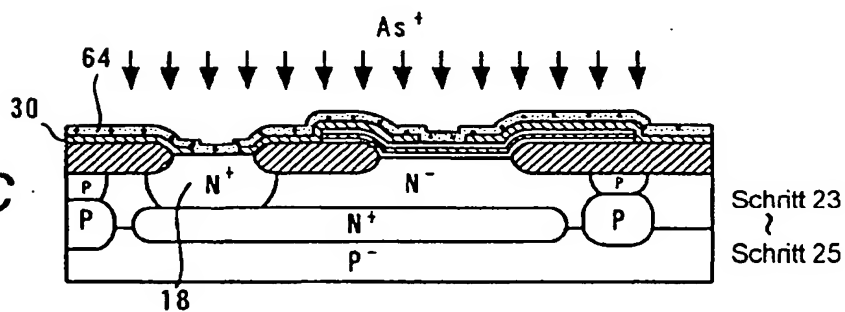


Fig.4D

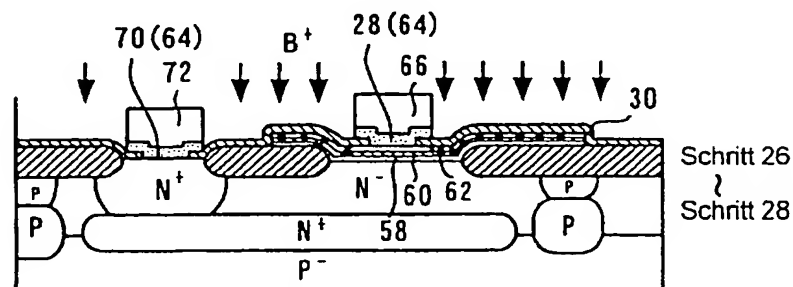


Fig.5A

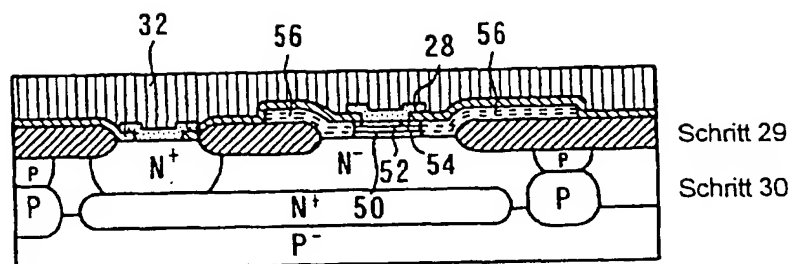


Fig.5B

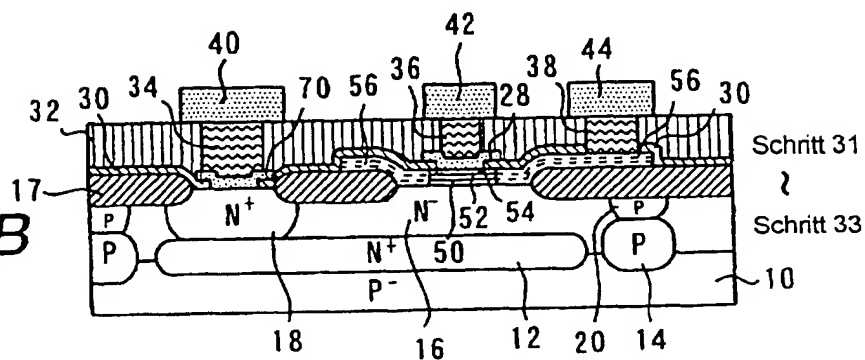


Fig. 6A

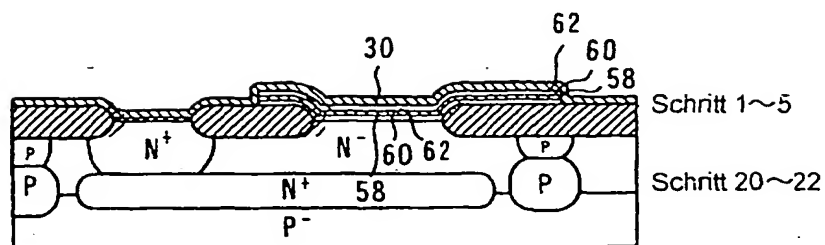


Fig. 6B

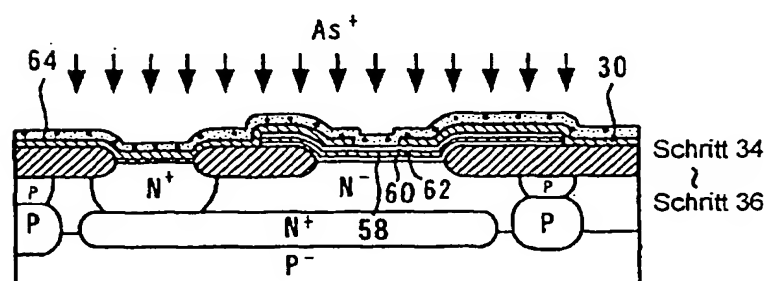


Fig. 6C

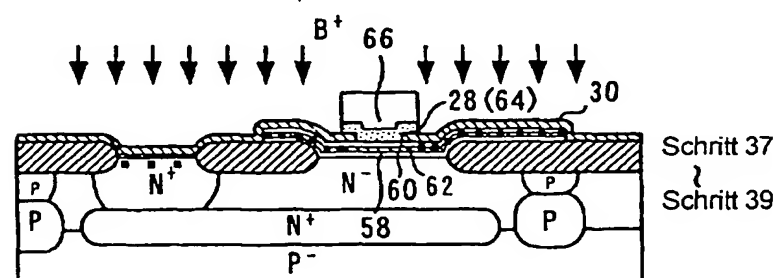


Fig. 6D

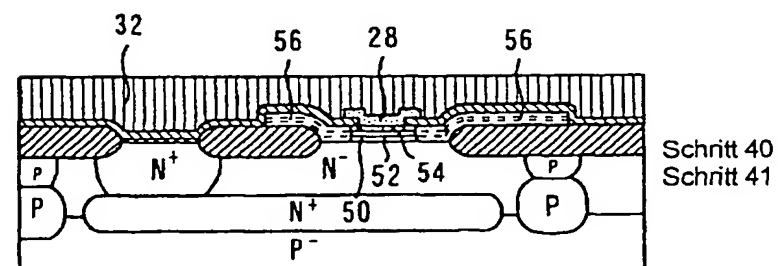
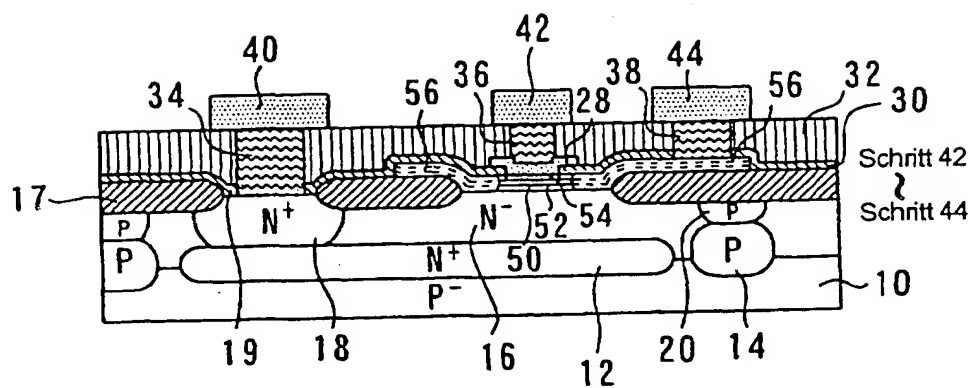


Fig.7



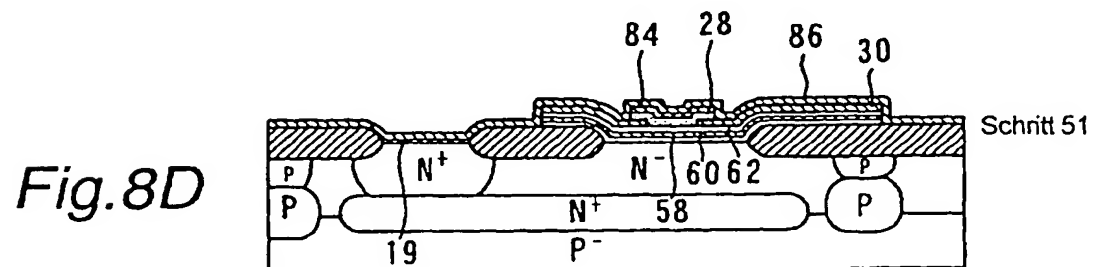
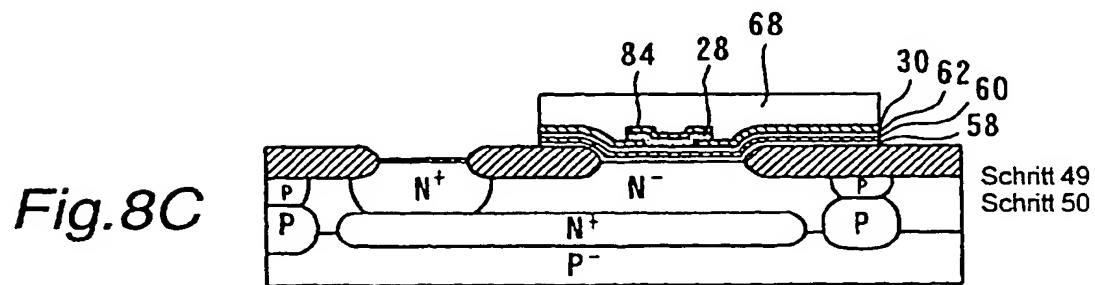
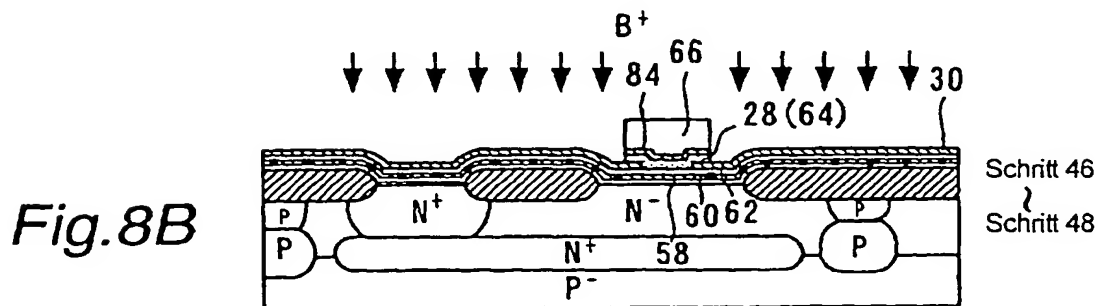
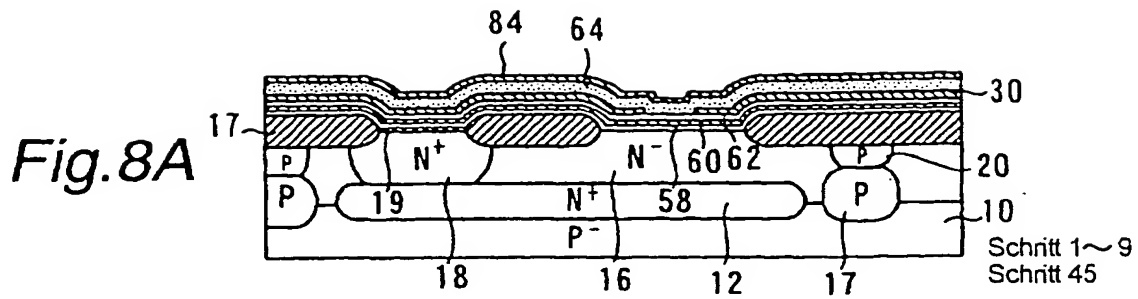


Fig.9A

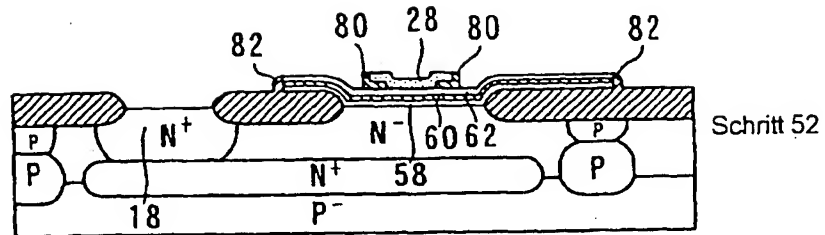


Fig.9B

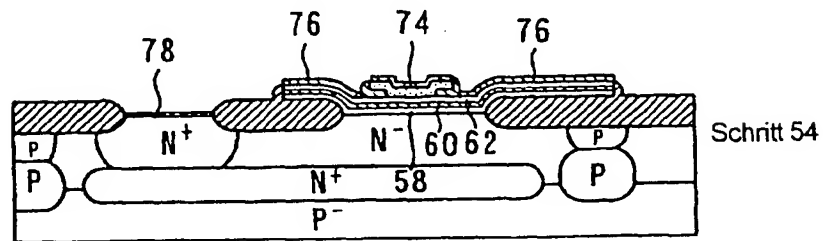


Fig.9C

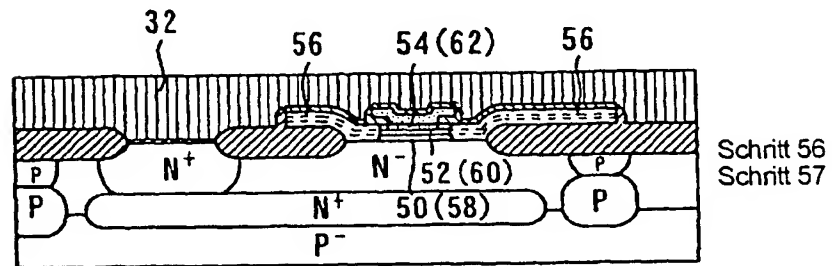


Fig.9D

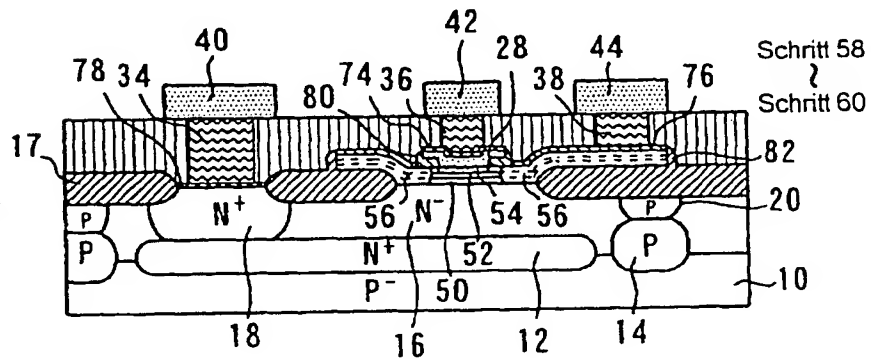


Fig. 10A

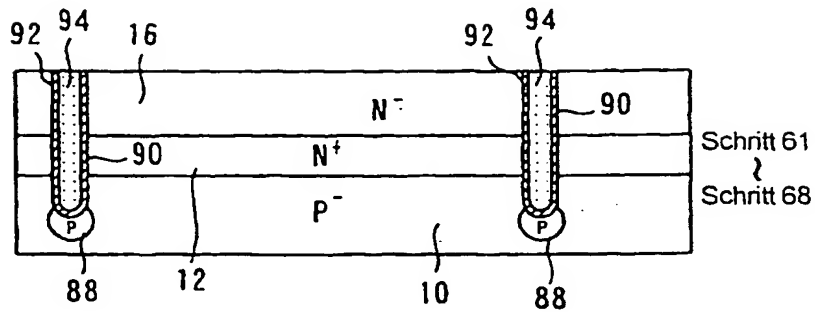


Fig. 10B

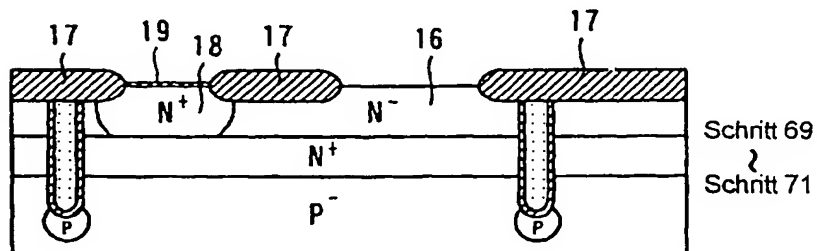


Fig. 10C

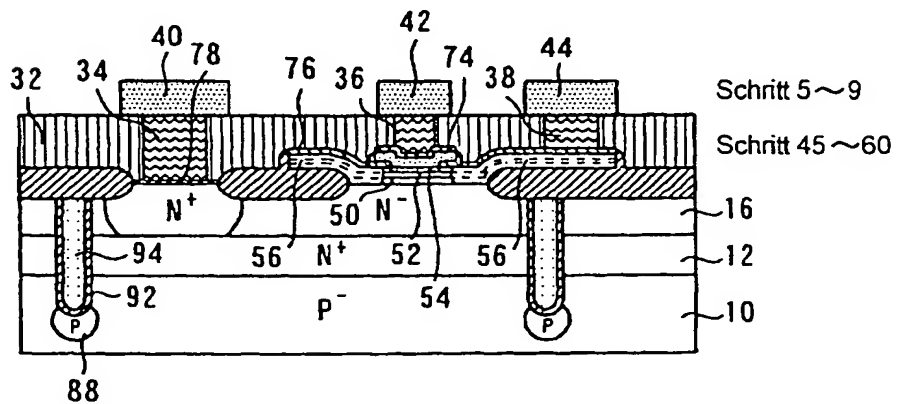


Fig. 11A

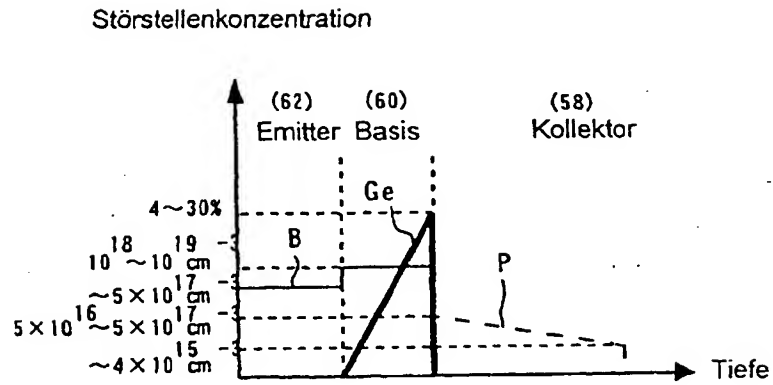
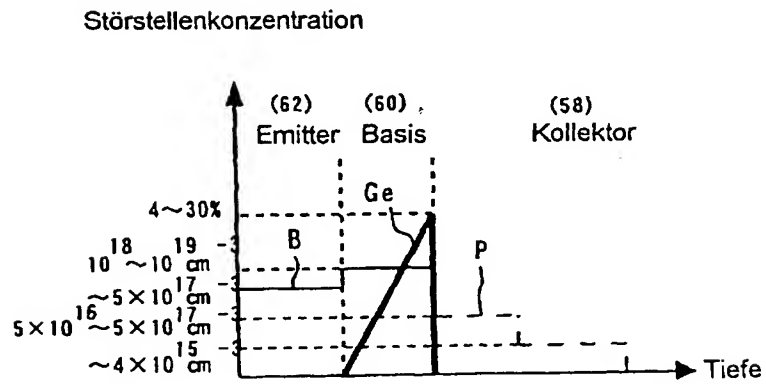
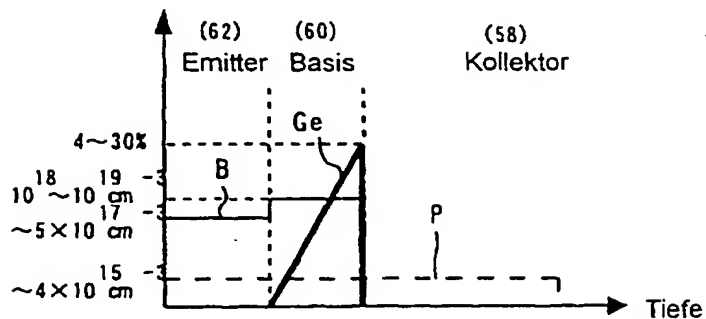


Fig. 11B



Störstellenkonzentration

Fig. 12A



Störstellenkonzentration

Fig. 12B

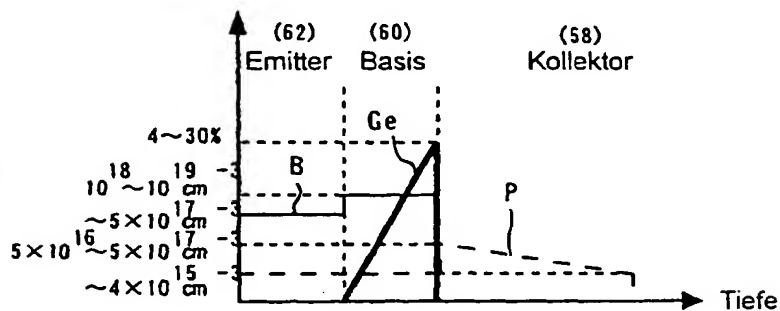


Fig. 12C

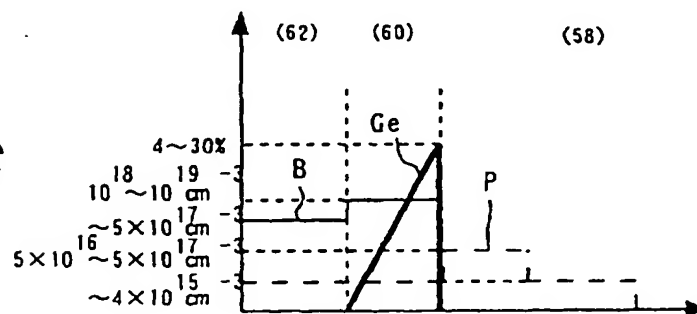


Fig. 13

Stand der Technik

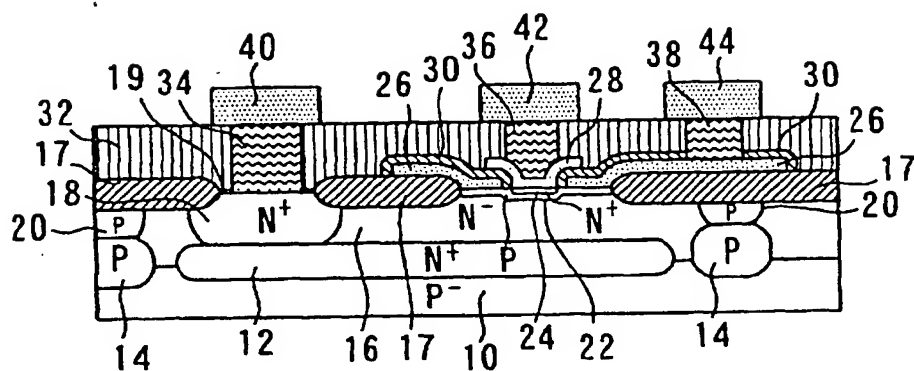
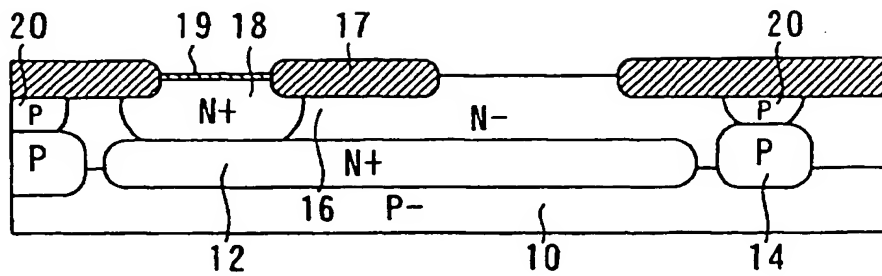
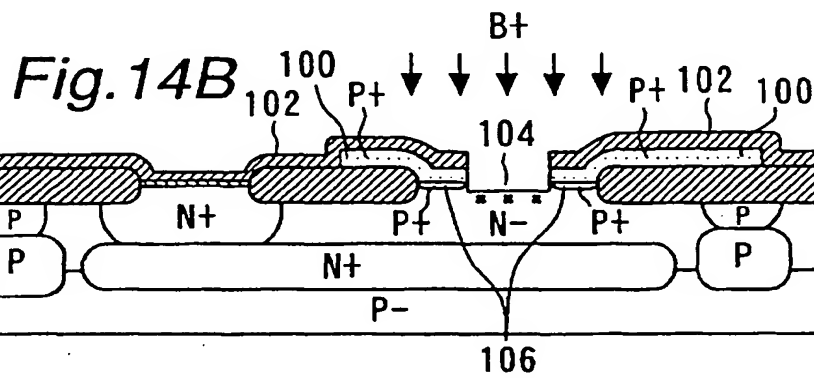


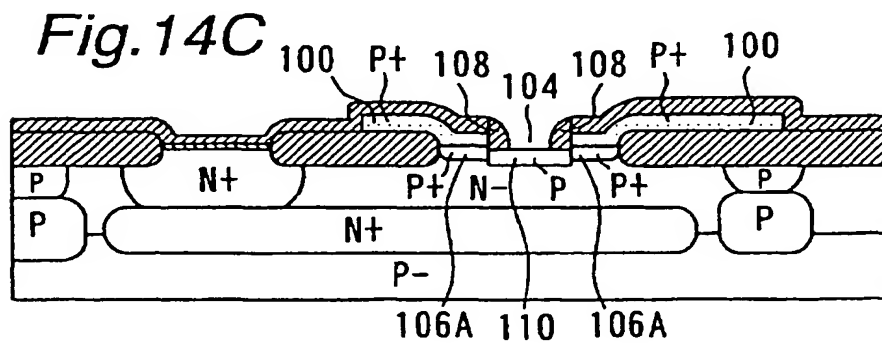
Fig. 14A



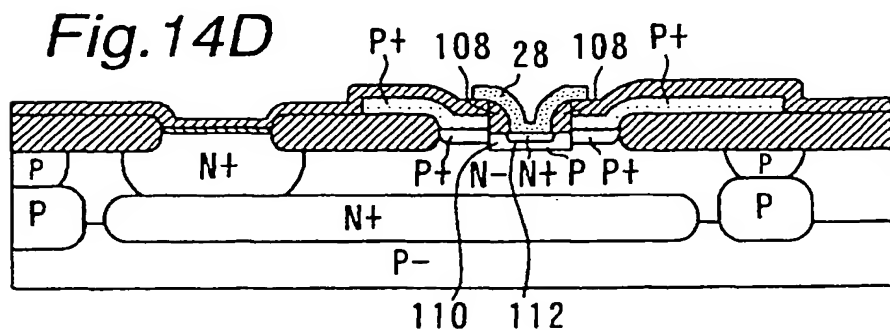
Schritt 1
S
Schritt 4



Schritt 72
S
Schritt 76



Schritt 77
Schritt 78



Schritt 79
Schritt 80

Fig. 15

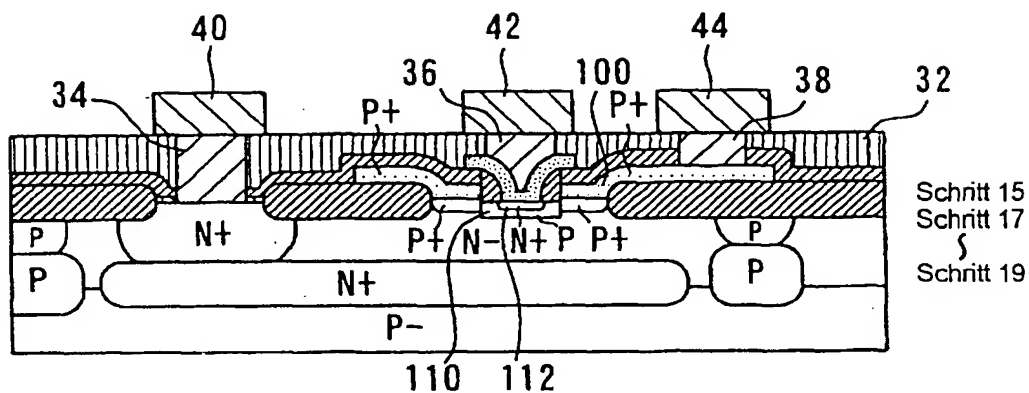


Fig. 16A

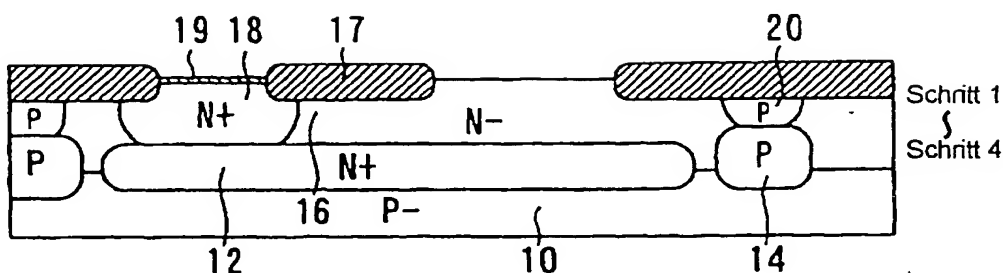


Fig. 16B

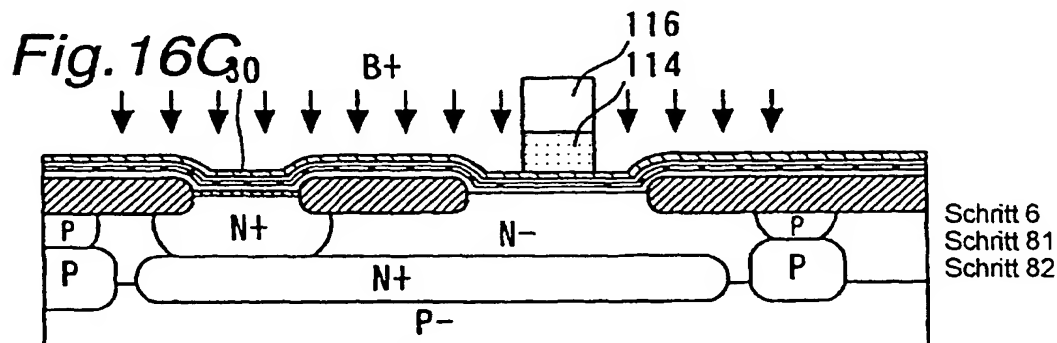
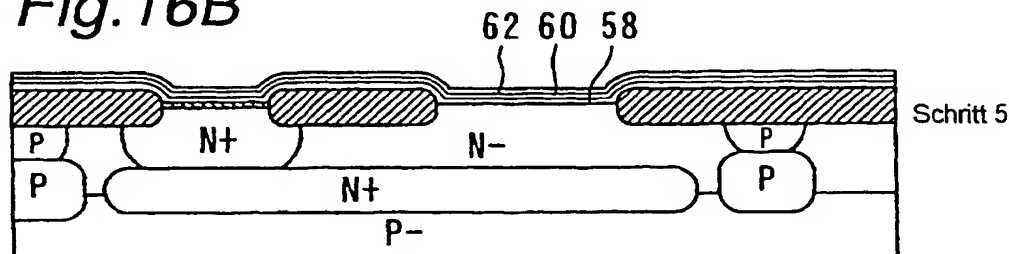


Fig. 16D

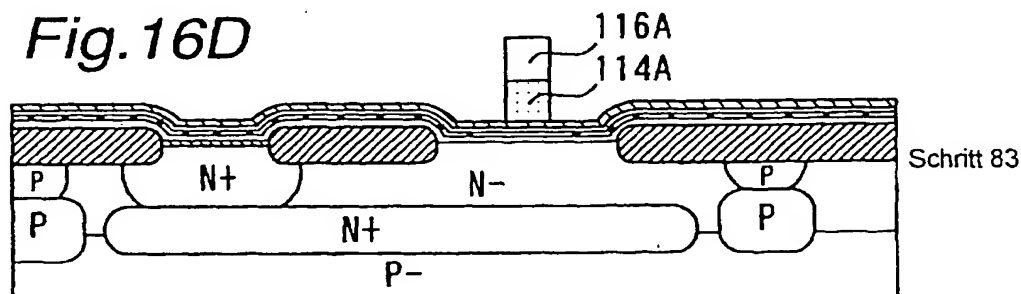


Fig. 17A

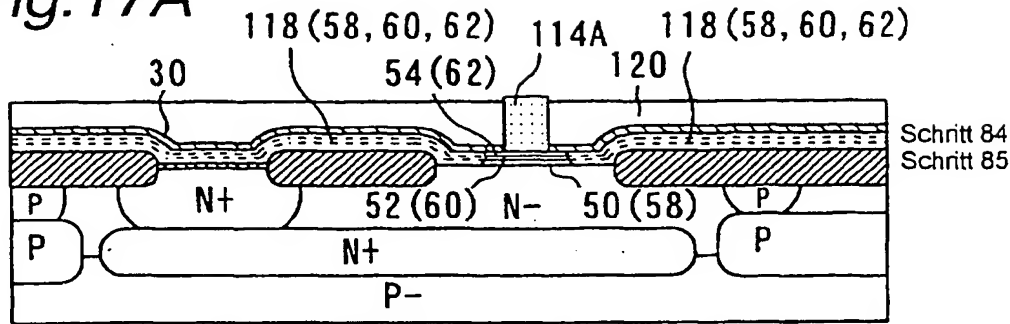


Fig. 17B

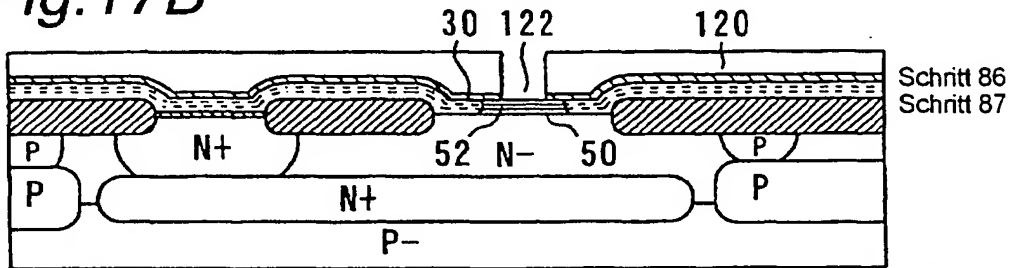


Fig. 17C

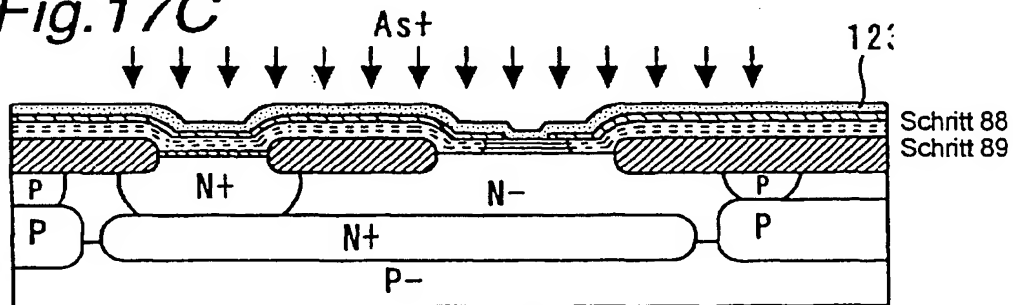


Fig. 17D

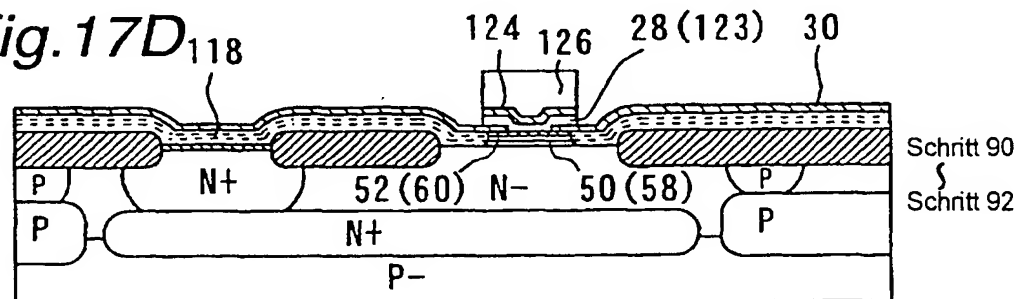


Fig. 18A

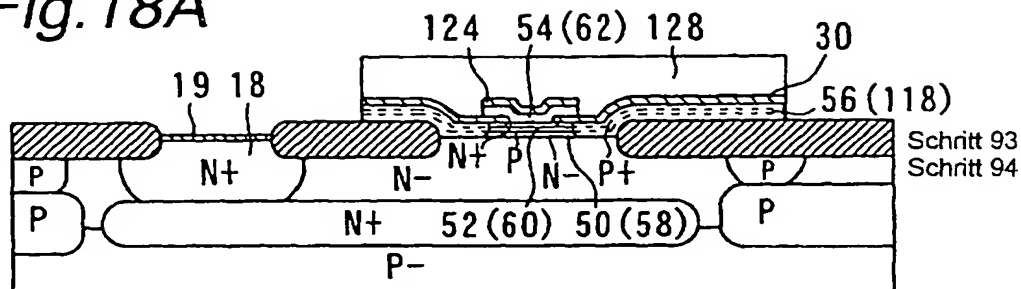


Fig. 18B

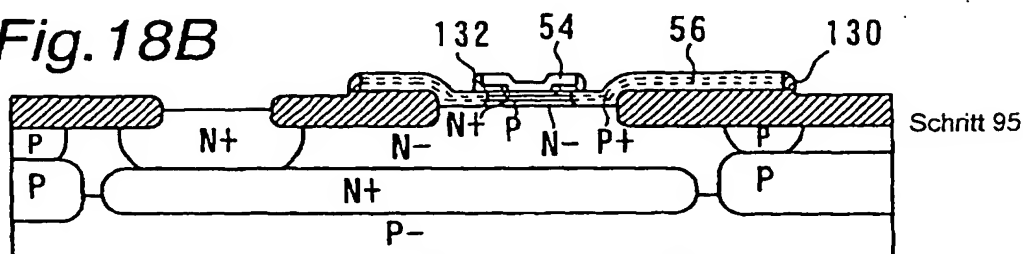


Fig. 18C

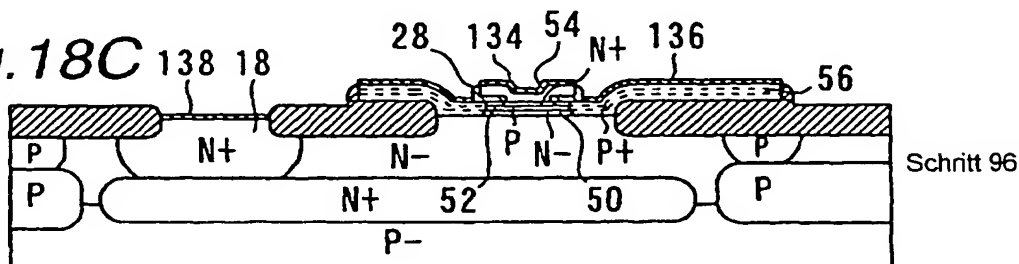


Fig. 18D

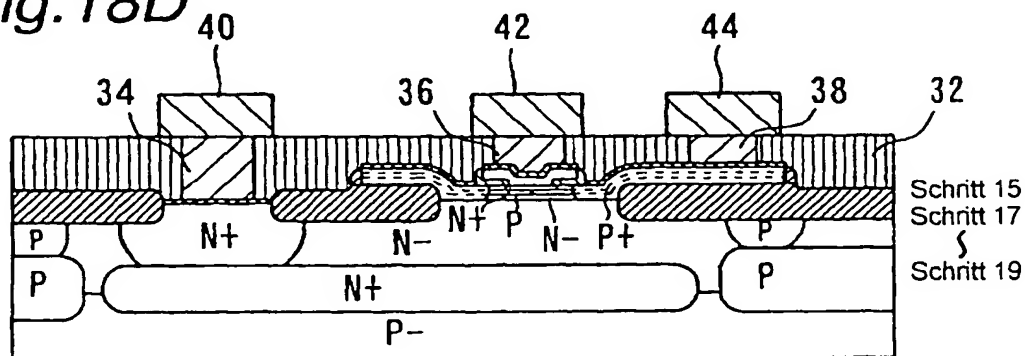


Fig. 19A

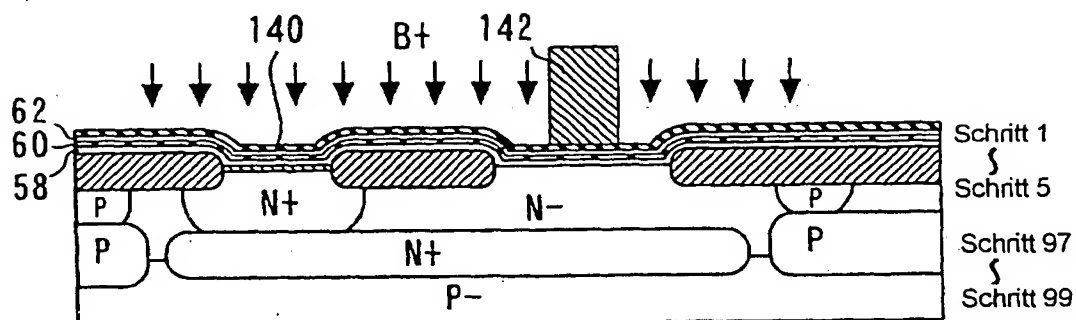


Fig. 19B

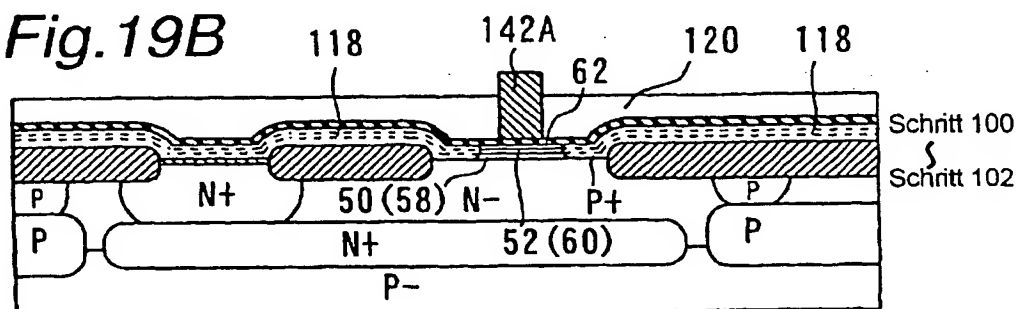


Fig. 19C

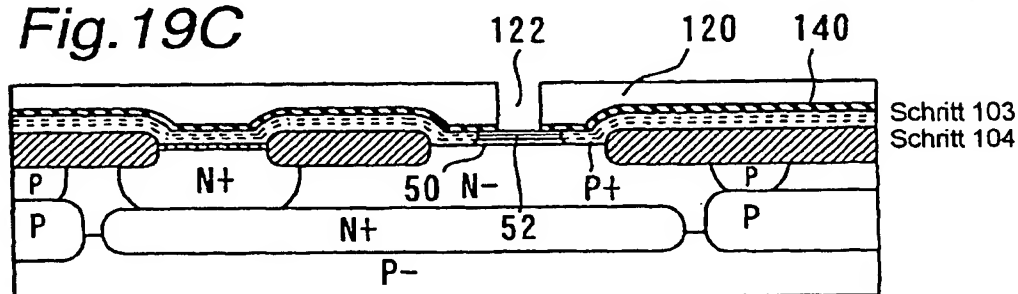


Fig. 19D

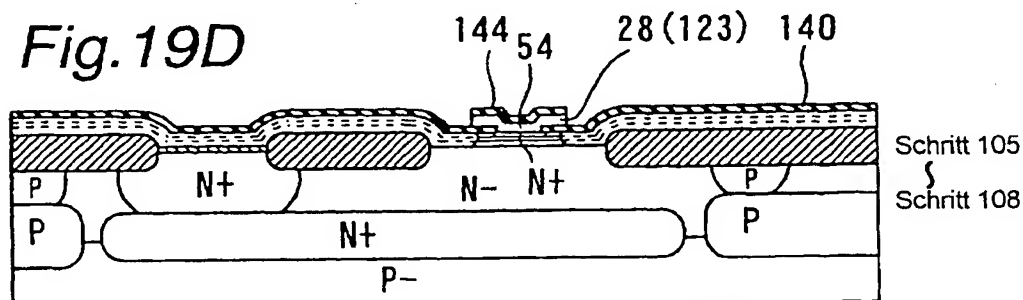


Fig.20A

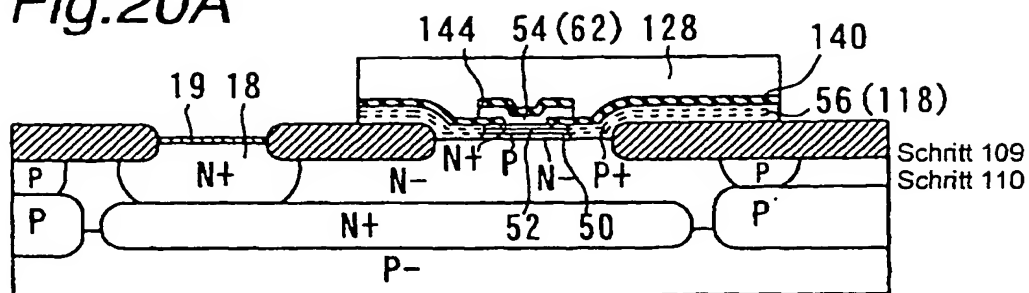


Fig.20B

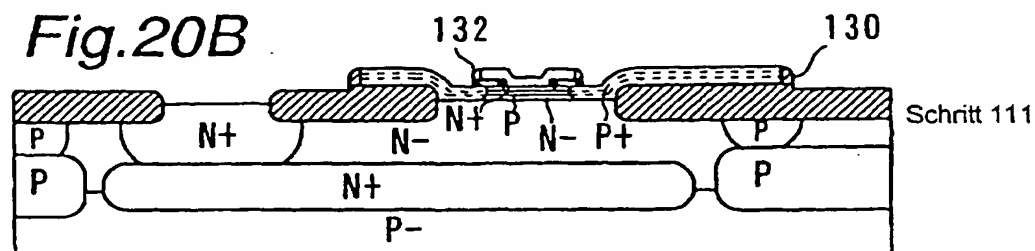


Fig.20C

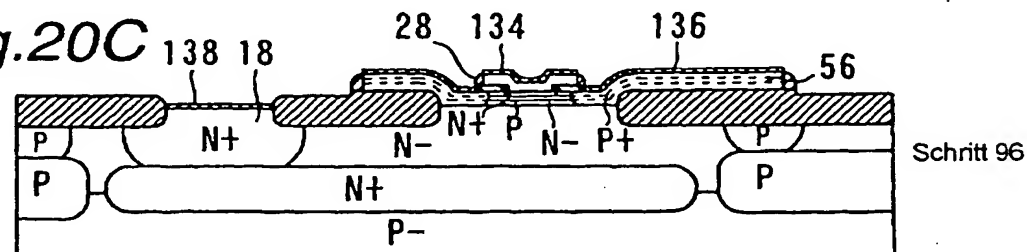


Fig.20D

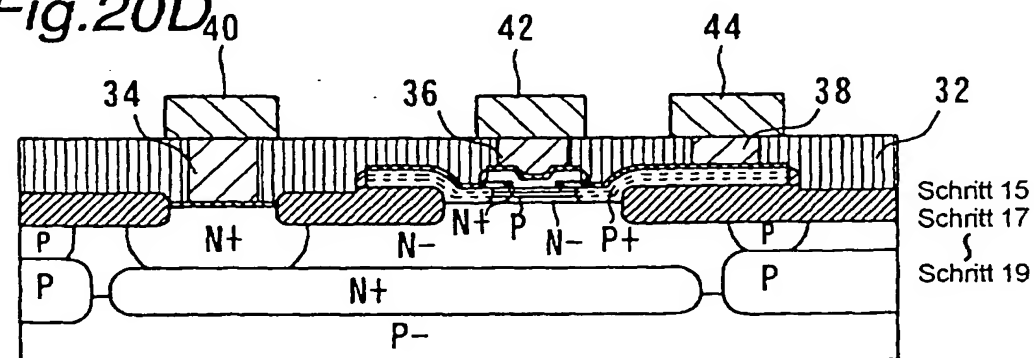


Fig.21A

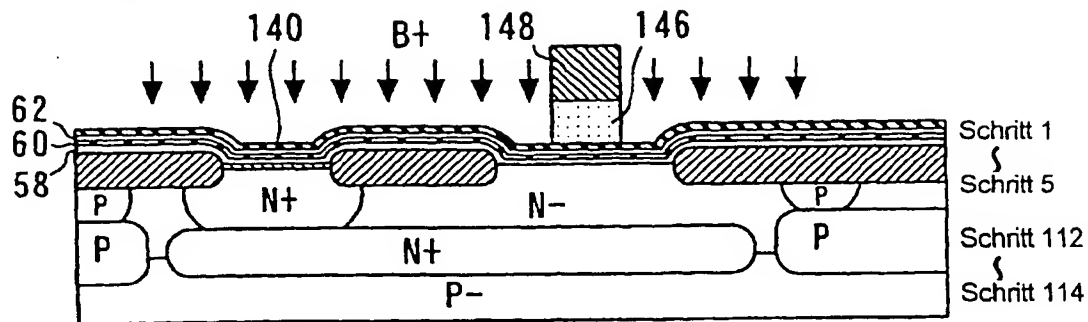
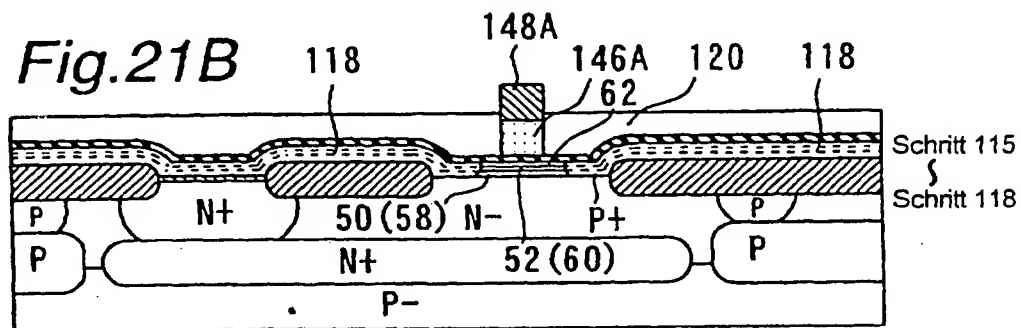


Fig. 21B



140 *Fig.21C*

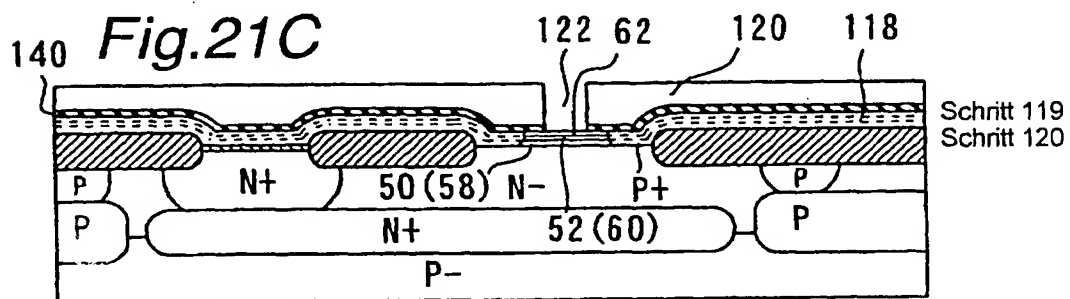


Fig.21D

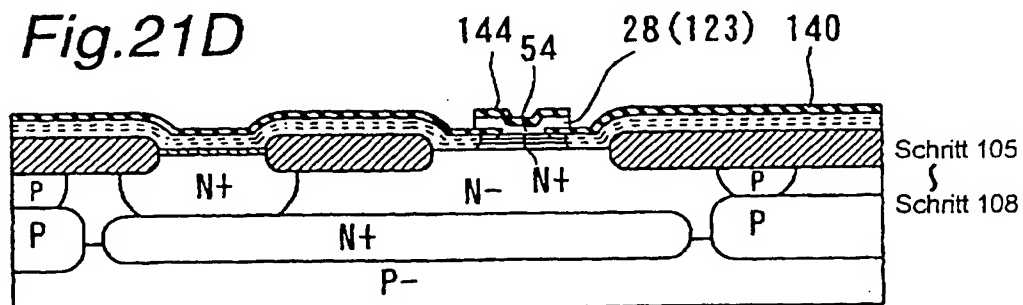


Fig.22A

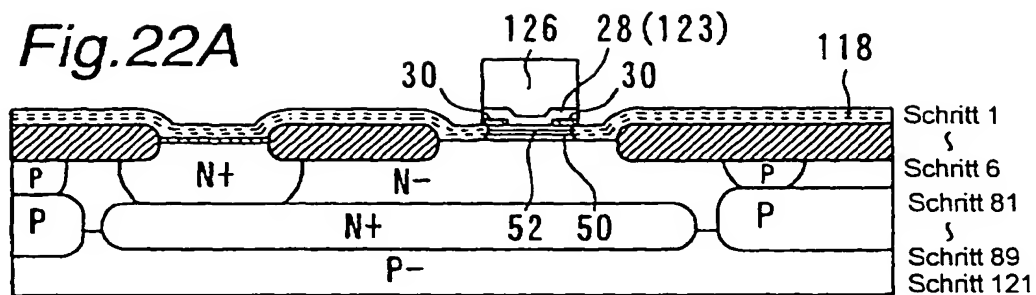


Fig.22B

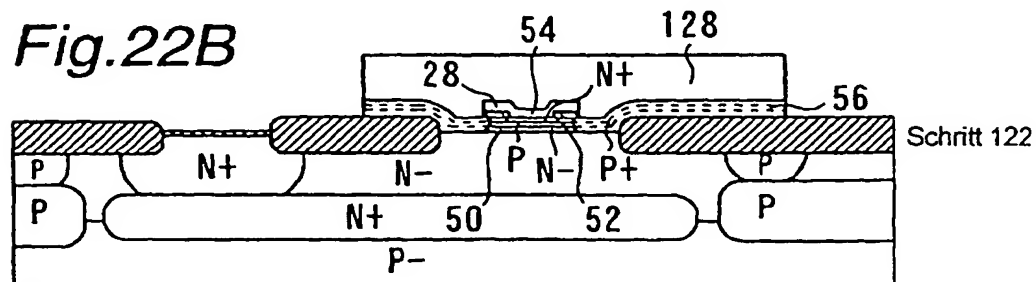
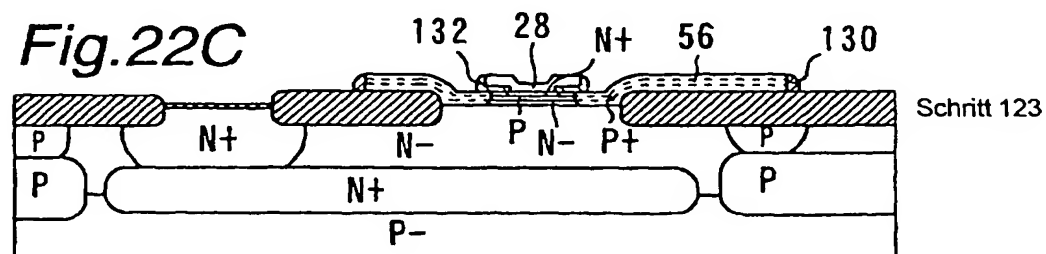


Fig.22C



*Fig. 22D*₁₃₈

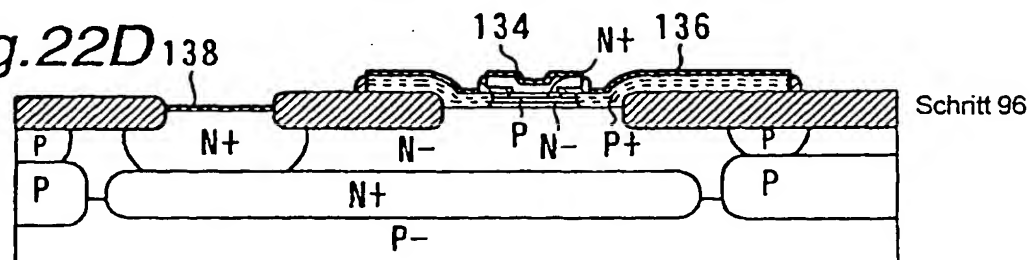


Fig.23A

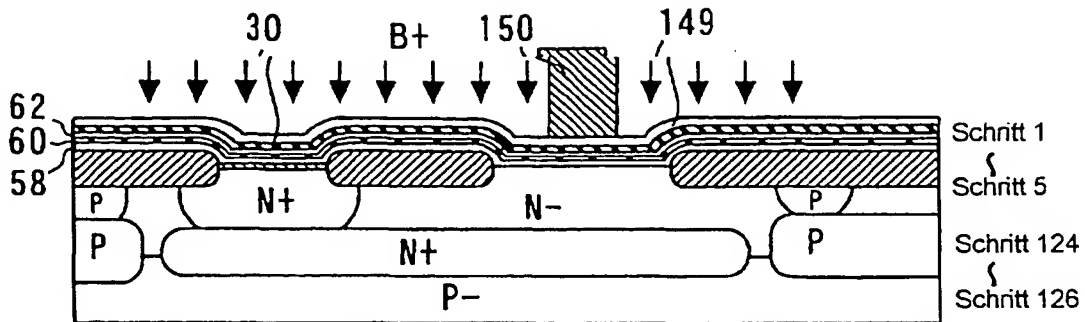


Fig.23B

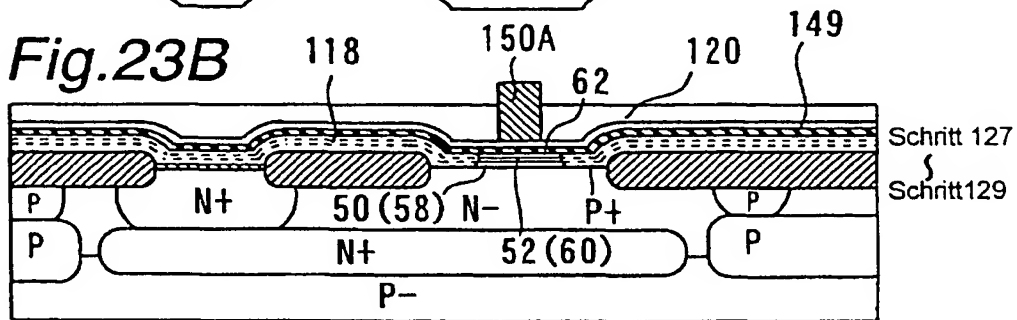


Fig.23C

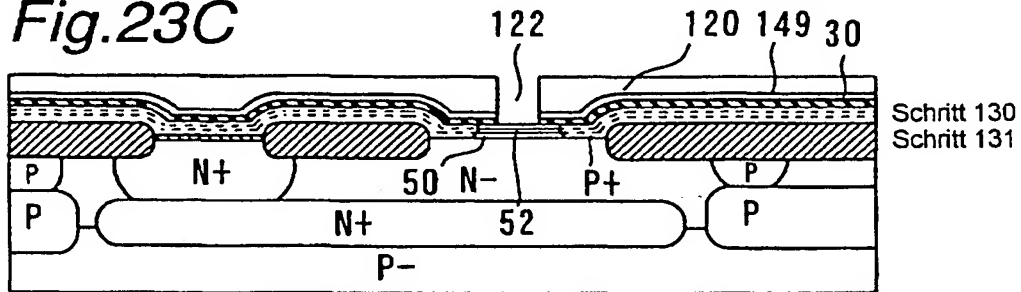


Fig.23D

